

セクション 13. パラレル マスタポート (PMP)

ハイライト

本セクションには下記の主要項目を記載しています。

| | | |
|-------|-----------------------------|-------|
| 13.1 | はじめに | 13-2 |
| 13.2 | 制御レジスタ | 13-3 |
| 13.3 | マスタモードの動作 | 13-12 |
| 13.4 | スレーブモードの動作 | 13-33 |
| 13.5 | 割り込み | 13-40 |
| 13.6 | 省電力モードとデバッグモード時の動作 | 13-42 |
| 13.7 | 各種リセットの影響 | 13-42 |
| 13.8 | パラレル マスタポート アプリケーション | 13-43 |
| 13.9 | パラレル スレーブポート アプリケーション | 13-48 |
| 13.10 | ダイレクト メモリアクセスのサポート | 13-48 |
| 13.11 | I/O ピンの制御 | 13-49 |
| 13.12 | 関連アプリケーション ノート | 13-51 |
| 13.13 | 改訂履歴 | 13-52 |

Note: ファミリ リファレンス マニュアルの本セクションは、デバイス データシートの補足を目的としています。本書の内容は PIC32 ファミリの一部のデバイスには対応していません。

本書の内容がお客様のご使用になるデバイスに対応しているかどうかは、最新デバイス データシート内の「**パラレル マスタポート (PMP)**」の冒頭に記載している注意書きでご確認ください。

デバイス データシートとファミリ リファレンス マニュアルの各セクションは、マイクロチップ社のウェブサイト (<http://www.microchip.com>) でご覧になれます。

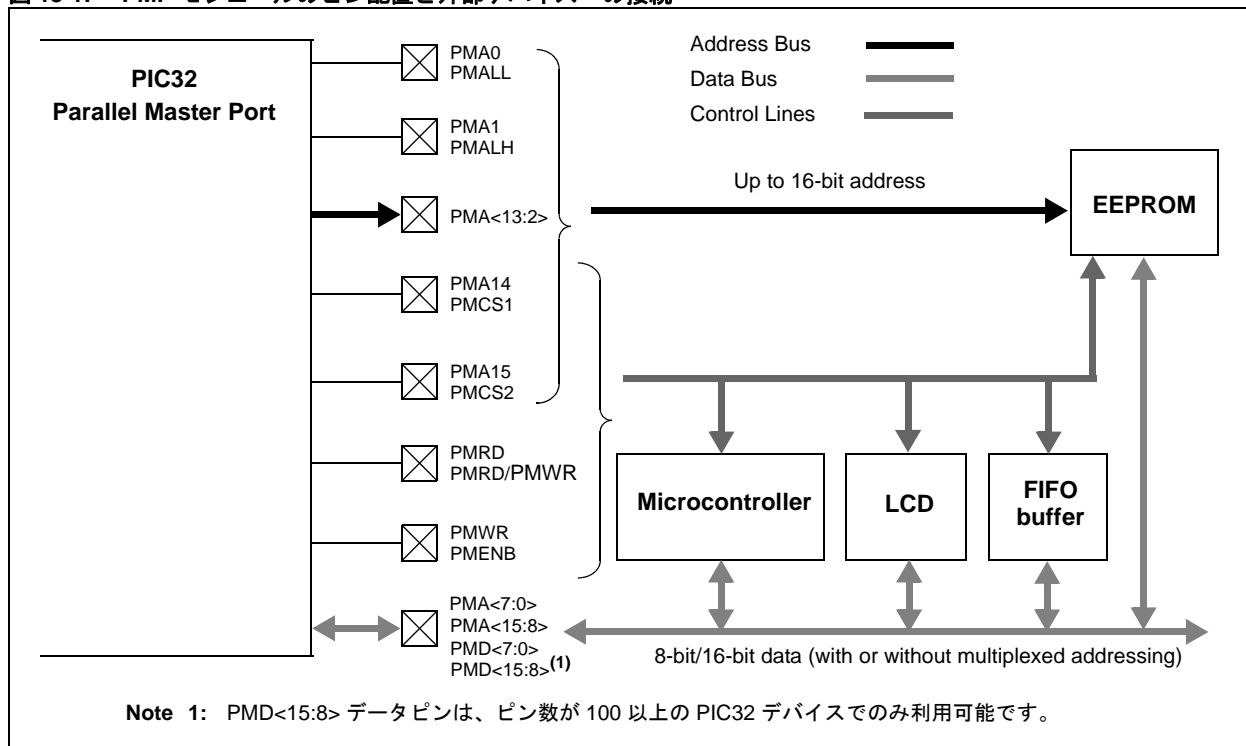
13.1 はじめに

パラレル マスタポート (PMP) は周辺通信機能、LCD、外部メモリデバイス、マイクロコントローラ等、各種パラレルデバイスとの通信用に設計された 8 ビット /16 ビットのパラレル I/O モジュールです。パラレル周辺モジュールへのインターフェイスは極めて多岐にわたるため、PMP モジュールは非常に柔軟に設定する事ができます。

PMP モジュールの主な特長

- 最大 16 本のプログラマブル アドレスライン
- 最大 2 本のチップセレクトライン
- プログラマブルなストローブ オプション
 - 「読み出し」と「書き込み」で別々のストローブ、または、
 - イネーブル ストローブを使用する「読み/書き」ストローブ
- アドレスの自動インクリメント/デクリメント
- プログラマブルなアドレス/データ多重化
- プログラマブルな制御信号極性
- レガシーのパラレルスレーブ ポートをサポート
- 拡張パラレルスレーブをサポート
 - アドレスサポート
 - 4 バイトの自動インクリメントバッファ
- シュミットトリガまたは TTL 入力バッファ
- プログラマブルなウェイトステート
- インサーキット デバッグ用のフリーズ オプション

図 13-1: PMP モジュールのピン配置と外部デバイスへの接続



13.2 制御レジスタ

PMP モジュールは下記の特種機能レジスタ (SFR) を使います。

- **PMCON: パラレルポート制御レジスタ**

このレジスタは、モジュールの基本機能の大部分を制御する各種ビットを格納します。特に、モジュールをリセットおよび有効 / 無効にするために使う ON 制御ビットが重要です。

モジュールを無効にすると、モジュールに関連する全ての I/O ピンは既定値の I/O 機能に戻されます。加えて、実行中または保留中の全ての読み / 書き動作が停止し、BUSY ビットがクリアされます。PMSTAT レジスタを含むモジュールレジスタ内のデータは保持されます。従ってモジュールが無効になる直前の受信データとステータスは、その後の処理に使えます。モジュールを有効にすると、全てのバッファ制御ロジックは PMSTAT と共にリセットされます。

PMCON 内のその他のビットは、アドレス多重化の制御、各種ポート制御信号の有効化、制御信号の極性選択用に使います。詳細は [13.3.1 「パラレル マスタポートの設定オプション」](#) に記載しています。

- **PMMODE: パラレルポート モード レジスタ**

このレジスタはモジュールの動作モードを制御するためのビットを格納します。このレジスタでは、マスタ / スレーブモードを選択し、それらのモードのコンフィグレーション オプションを設定します。このレジスタは、マスタモードで使う汎用ステータスフラグ (BUSY) も格納します。BUSY フラグはモジュールが動作を実行中であることを示します。

PMMODE ビットを使って PMP 動作を設定する詳細な方法は [13.3 「マスタモードの動作」](#) と [13.4 「スレーブモードの動作」](#) に記載しています。

- **PMADDR: パラレルポート アドレス レジスタ**

このレジスタはマスタモードで PMADDR として機能し、出力データの書き込み先アドレスと、パラレルスレーブ デバイスのアドレッシングに使うチップセレクト制御ビットを格納します。PMADDR レジスタはスレーブモードでは使いません。

- **PMDOUT: パラレルポート データ出力レジスタ**

このレジスタは、スレーブモード時にのみ、バッファされた出力データ用に使います。

- **PMDIN: パラレルポート データ入力レジスタ**

PMP モジュールは、このレジスタをマスタモードとスレーブモードの両方で使います。

スレーブモードでは、クロックに非同期の入力データを保持するためにこのレジスタを使います。詳細な動作は [13.4.2 「バッファ付きパラレル スレーブポート モード」](#) に記載しています。

マスタモードでは、PMDIN は入力データと出力データの両方を保持します。マスタモードにおけるこのレジスタの動作については、[13.3.3 「読み出し動作」](#) と [13.3.4 「書き込み動作」](#) に記載しています。

- **PMAEN: パラレルポート ピンイネーブル レジスタ**

このレジスタは、アドレス操作の制御と、PMP モジュールに関連するチップセレクト ピンの制御に使います。これらのビットをセットする事により、対応するマイクロコントローラピンを PMP モジュールに割り当てます。ビットをクリアすると、対応するピンの割り当ては既定のポート I/O または他の周辺モジュールへ戻されます。

- **PMSTAT: パラレルポート ステータス レジスタ (スレーブモード専用)**

このレジスタは、ポートがスレーブポートとして動作している時のバッファ付き動作モードに関連するステータスビットを格納します。これにはオーバーフロー、アンダーフロー、フル フラグビットが含まれます。

これらのフラグについては [13.4.2 「バッファ付きパラレル スレーブポート モード」](#) で詳細に説明します。

13.2.1 PMP SFR の要約

表 13-1 に、PMP モジュールに関連する全てのレジスタの要約を示します。この表の後に、各ビットの詳細な説明を記載しています。

表 13-1: PMP SFR の要約

| 名称 | | Bit 31/23/15/7 | Bit 30/22/14/6 | Bit 29/21/13/5 | Bit 28/20/12/4 | Bit 27/19/11/3 | Bit 26/18/10/2 | Bit 25/17/9/1 | Bit 24/16/8/0 |
|---------------------------|-------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------------------|------------------|
| PMCON ^(1,2,3) | 31:24 | — | — | — | — | — | — | — | — |
| | 23:16 | — | — | — | — | — | — | — | — |
| | 15:8 | ON | — | SIDL | ADRMUX<1:0> | | PMPCTL | PTWREN | PTRDEN |
| | 7:0 | CSF<1:0> | | ALP | CS2P | CS1P | — | WRSP | RDSP |
| PMMODE ^(1,2,3) | 31:24 | — | — | — | — | — | — | — | — |
| | 23:16 | — | — | — | — | — | — | — | — |
| | 15:8 | BUSY | IRQM<1:0> | | INCM<1:0> | | MODE16 | MODE<1:0> | |
| | 7:0 | WAITB<1:0> | | WAITM<3:0> | | | | WAITE<1:0> | |
| PMADDR ^(1,2,3) | 31:24 | — | — | — | — | — | — | — | — |
| | 23:16 | — | — | — | — | — | — | — | — |
| | 15:8 | CS2/A15 | CS1/A14 | ADDR<13:8> | | | | | |
| | 7:0 | ADDR<7:0> | | | | | | | |
| PMDOUT ^(1,2,3) | 31:24 | DATAOUT<31:24> | | | | | | | |
| | 23:16 | DATAOUT<23:16> | | | | | | | |
| | 15:8 | DATAOUT<15:8> | | | | | | | |
| | 7:0 | DATAOUT<7:0> | | | | | | | |
| PMDIN ^(1,2,3) | 31:24 | DATAIN<31:24> | | | | | | | |
| | 23:16 | DATAIN<23:16> | | | | | | | |
| | 15:8 | DATAIN<15:8> | | | | | | | |
| | 7:0 | DATAIN<7:0> | | | | | | | |
| PMAEN ^(1,2,3) | 31:24 | — | — | — | — | — | — | — | — |
| | 23:16 | — | — | — | — | — | — | — | — |
| | 15:8 | PTEN<15:8> | | | | | | | |
| | 7:0 | PTEN<7:0> | | | | | | | |
| PMSTAT | 31:24 | — | — | — | — | — | — | — | — |
| | 23:16 | — | — | — | — | — | — | — | — |
| | 15:8 | IBF | IBOV | — | — | IB3F | IB2F | IB1F | IB0F |
| | 7:0 | OBE | OBUF | — | — | OB3E | OB2E | OB1E | OB0E |

凡例： — = 未実装、「0」として読み出し、アドレス オフセット値は 16 進表記

Note 1: このレジスタに対応するクリア/セット/反転レジスタのアドレスは、それぞれ 0x4/0x8/0xC バイトオフセットしています。これらのレジスタは、対応するレジスタの名前の後にそれぞれ「CLR」、「SET」、「INV」を追加した名前を持ちます (例: PMCONCLR)。これらのレジスタの任意のビットに「1」を書き込むと、対応するレジスタの対応するビットがそれぞれクリア、セット、反転されます。これらのレジスタからの読み出しは無視されます。

セクション 13. パラレル マスタポート (PMP)

レジスタ 13-1: PMCON: パラレルポート制御レジスタ

| ビット レンジ | Bit 31/23/15/7 | Bit 30/22/14/6 | Bit 29/21/13/5 | Bit 28/20/12/4 | Bit 27/19/11/3 | Bit 26/18/10/2 | Bit 25/17/9/1 | Bit 24/16/8/0 |
|------------|----------------------------------|-----------------------------|-----------------------------|------------------------------|------------------------------|-------------------|------------------|------------------|
| 31:24 | U-0 — | U-0 — | U-0 — | U-0 — | U-0 — | U-0 — | U-0 — | U-0 — |
| 23:16 | U-0 — | U-0 — | U-0 — | U-0 — | U-0 — | U-0 — | U-0 — | U-0 — |
| 15:8 | R/W-0 ON ⁽¹⁾ | U-0 — | R/W-0 SIDL | R/W-0 ADRMUX<1:0> | R/W-0 PMPCTL | R/W-0 PTWREN | R/W-0 PTRDEN | R/W-0 PTRDEN |
| 7:0 | R/W-0 CSF<1:0> ⁽²⁾ | R/W-0 ALP ⁽²⁾ | R/W-0 ALP ⁽²⁾ | R/W-0 CS2P ⁽²⁾ | R/W-0 CS1P ⁽²⁾ | U-0 — | R/W-0 WRSP | R/W-0 RDSP |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットはセット 0 = ビットはクリア x = ビットは未知

- bit 31-16 **未実装**: 「0」を書き込み、読み出しは無視
- bit 15 **ON**: パラレル マスタポート イネーブルビット⁽¹⁾
 1 = PMP を有効にする
 0 = PMP を無効にする (外部と通信しない)
- bit 14 **未実装**: 「0」を書き込み、読み出しは無視
- bit 13 **SIDL**: アイドルモード時停止ビット
 1 = デバイスがアイドルモードに移行した時にモジュールの動作を停止する
 0 = アイドルモード中もモジュールの動作を継続する
- bit 12-11 **ADRMUX<1:0>**: アドレス / データ多重化選択ビット
 11 = アドレスの全 16 ビットを PMD<15:0> ピンに多重化する
 10 = アドレスの全 16 ビットを PMD<7:0> ピンに多重化する
 01 = アドレスの下位 8 ビットを PMD<7:0> ピンに多重化し、上位 8 ビットには PMA<15:8> を使う
 00 = アドレスとデータに別々のピンを使う
- bit 10 **PMPCTL**: PMP モジュール TTL 入力バッファ選択ビット
 1 = PMP モジュールは TTL 入力バッファを使う
 0 = PMP モジュールはシュミットトリガ入力バッファを使う
- bit 9 **PTWREN**: 書き込みイネーブル ストローブポート イネーブルビット
 1 = PMWR/PMENB ポートを有効にする
 0 = PMWR/PMENB ポートを無効にする
- bit 8 **PTRDEN**: 読み / 書きストローブポート イネーブルビット
 1 = PMRD/PMWR ポートを有効にする
 0 = PMRD/PMWR ポートを無効にする
- bit 7-6 **CSF<1:0>**: チップセレクト機能ビット⁽²⁾
 11 = 予約済み
 10 = PMCS2 と PMCS1 の両方がチップセレクトとして機能する
 01 = PMCS2 はチップセレクトとして機能し、PMCS1 はアドレスビット 14 として機能する
 00 = PMCS2 と PMCS1 はアドレスビット 15 および 14 として機能する
- bit 5 **ALP**: アドレスラッチ極性ビット⁽²⁾
 1 = アクティブ HIGH (PMALL、PMALH)
 0 = アクティブ LOW (PMALL、PMALH)
- bit 4 **CS2P**: チップセレクト 1 極性ビット⁽²⁾
 1 = アクティブ HIGH (PMCS2)
 0 = アクティブ LOW (PMCS2)

Note 1: PBCLK 分周比を 1:1 にしている場合、周辺モジュールの ON 制御ビットをクリアした命令の直後の SYSCLK サイクルでは、そのモジュールの SFR に対する読み / 書きをユーザ ソフトウェアで実行しないでください。

2: 対応するピンをアドレスラインとして使う場合、これらのビットは効果を持ちません。

レジスタ 13-1: PMCON: パラレルポート制御レジスタ (続き)

- bit 3 **CS1P:** チップセレクト 0 極性ビット (2)
 1 = アクティブ HIGH (PMCS1)
 0 = アクティブ LOW (PMCS1)
- bit 2 **未実装:** 「0」を書き込み、読み出しは無視
- bit 1 **WRSP:** 書き込みストローブ極性ビット
 スレーブモードとマスタモード 2 (PMMODE<9:8> = 00、01、10) の場合:
 1 = 書き込みストローブはアクティブ HIGH (PMWR)
 0 = 書き込みストローブはアクティブ LOW (PMWR)
 マスタモード 1 (PMMODE<9:8> = 11) の場合:
 1 = イネーブル ストローブはアクティブ HIGH (PMENB)
 0 = イネーブル ストローブはアクティブ LOW (PMENB)
- bit 0 **RDSP:** 読み出しストローブ極性ビット
 スレーブモードとマスタモード 2 (PMMODE<9:8> = 00、01、10) の場合:
 1 = 読み出しストローブはアクティブ HIGH (PMRD)
 0 = 読み出しストローブはアクティブ LOW (PMRD)
 マスタモード 1 (PMMODE<9:8> = 11) の場合:
 1 = 読み / 書きストローブはアクティブ HIGH (PMRD/PMWR)
 0 = 読み / 書きストローブはアクティブ LOW (PMRD/PMWR)

Note 1: PBCLK 分周比を 1:1 にしている場合、周辺モジュールの ON 制御ビットをクリアした命令の直後の SYSCLK サイクルでは、そのモジュールの SFR に対する読み / 書きをユーザ ソフトウェアで実行しないでください。

2: 対応するピンをアドレスラインとして使う場合、これらのビットは効果を持ちません。

セクション 13. パラレル マスタポート (PMP)

レジスタ 13-2: PMMODE: パラレルポート モード レジスタ

| ビット レンジ | Bit 31/23/15/7 | Bit 30/22/14/6 | Bit 29/21/13/5 | Bit 28/20/12/4 | Bit 27/19/11/3 | Bit 26/18/10/2 | Bit 25/17/9/1 | Bit 24/16/8/0 |
|------------|---------------------------|-------------------|---------------------------|-------------------|-------------------|-------------------|---------------------------|------------------|
| 31:24 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
| | — | — | — | — | — | — | — | — |
| 23:16 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
| | — | — | — | — | — | — | — | — |
| 15:8 | R-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | BUSY | IRQM<1:0> | | INCM<1:0> | | MODE16 | MODE<1:0> | |
| 7:0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | WAITB<1:0> ⁽¹⁾ | | WAITM<3:0> ⁽¹⁾ | | | | WAITE<1:0> ⁽¹⁾ | |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットはセット 0 = ビットはクリア x = ビットは未知

bit 31-16 **未実装**: 「0」を書き込み、読み出しは無視

bit 15 **BUSY**: ビジービット (マスタモード専用)

- 1 = ポートはビジー
- 0 = ポートはビジーではない

bit 14-13 **IRQM<1:0>**: 割り込み要求モードビット

- 11 = 予約済み (使用禁止)
- 10 = 読み出しバッファ3からの読み出し時または書き込みバッファ3への書き込み時に割り込みを生成する (バッファ付き PSP モード)、または、PMA<1:0> = 11 の時の読み / 書き込み動作で割り込みを生成する (アドレス可能スレーブモードのみ)
- 01 = 読み / 書きサイクルの終了時に割り込みを生成する
- 00 = 割り込みを生成しない

bit 12-11 **INCM<1:0>**: インクリメント モードビット

- 11 = スレーブモードの読み出しおよび書き込みバッファを自動的にインクリメントする (PMMODE<1:0> = 00 の場合のみ)
- 10 = 毎回の読み / 書きサイクルで ADDR<15:0> を 1 つデクリメントする ^(2,4)
- 01 = 毎回の読み / 書きサイクルで ADDR<15:0> を 1 つインクリメントする ^(2,4)
- 00 = アドレスをインクリメントもデクリメントもしない

bit 10 **MODE16**: 8/16 ビットモード ビット

- 1 = 16 ビットモード: データレジスタを読み / 書きするたびに 16 ビット転送を実行する
- 0 = 8 ビットモード: データレジスタを読み / 書きするたびに 8 ビット転送を実行する

bit 9-8 **MODE<1:0>**: パラレルポート モード選択ビット

- 11 = マスタモード 1 (PMCSx、PMRD/PMWR、PMENB、PMA<x:0>、PMD<7:0>、PMD<8:15>⁽³⁾)
- 10 = マスタモード 2 (PMCSx、PMRD、PMWR、PMA<x:0>、PMD<7:0>、PMD<8:15>⁽³⁾)
- 01 = 拡張スレーブモード、制御信号 (PMRD、PMWR、PMCS、PMD<7:0>、PMA<1:0>)
- 00 = レガシー パラレル スレーブポート、制御信号 (PMRD、PMWR、PMCS、PMD<7:0>)

bit 7-6 **WAITB<1:0>**: 読み / 書きストロブ データセットアップ ウェイトステート ビット ⁽¹⁾

- 11 = 4 TPB のデータウェイト、4 TPB のアドレス多重化フェイズ
- 10 = 3 TPB のデータウェイト、3 TPB のアドレス多重化フェイズ
- 01 = 2 TPB のデータウェイト、2 TPB のアドレス多重化フェイズ
- 00 = 1 TPB のデータウェイト、1 TPB のアドレス多重化フェイズ (既定値)

Note 1: WAITM<3:0> = 0000 に設定した場合、WAITB および WAITE ビットの設定に関係なく、書き込み動作の場合は双方に 1 TPBCLK サイクルを適用し、読み出し動作の場合は WAITB = 1 TPBCLK / WAITE = 0 TPBCLK サイクルを適用します。

2: アドレスビット A15 および A14 をチップセレクト CS2 および CS1 として設定した場合、これらのビットには自動インクリメント / デクリメントは適用されません。

3: これらのピンは、MODE16 = 1 (16 ビットモード) の場合にアクティブです。

4: PMPADDR レジスタは、転送データ幅に関係なく、常に 1 つインクリメント / デクリメントします。

13

パラレル マスタ
ポート (PMP)

レジスタ 13-2: PMMODE: パラレルポート モード レジスタ (続き)

bit 5-2 **WAITM<3:0>**: 読み / 書きストローブ データ ウェイトステートビット (1)

1111 = 16 TPB のウェイト

•
•
•

0001 = 2 TPB のウェイト

0000 = 1 TPB (既定値)

bit 1-0 **WAITE<1:0>**: 読み / 書きストローブ後データホールド ウェイトステート ビット (1)

11 = 4 TPB のウェイト

10 = 3 TPB のウェイト

01 = 2 TPB のウェイト

00 = 1 TPB のウェイト (既定値)

読み出し動作の場合 :

11 = 3 TPB のウェイト

10 = 2 TPB のウェイト

01 = 1 TPB のウェイト

00 = 0 TPB のウェイト (既定値)

Note 1: WAITM<3:0> = 0000 に設定した場合、WAITB および WAITE ビットの設定に関係なく、書き込み動作の場合は双方に 1 TPBCLK サイクルを適用し、読み出し動作の場合は WAITB = 1 TPBCLK / WAITE = 0 TPBCLK サイクルを適用します。

2: アドレスビット A15 および A14 をチップセレクト CS2 および CS1 として設定した場合、これらのビットには自動インクリメント / デクリメントは適用されません。

3: これらのピンは、MODE16 = 1 (16 ビットモード) の場合にアクティブです。

4: PMPADDR レジスタは、転送データ幅に関係なく、常に 1 つインクリメント / デクリメントします。

セクション 13. パラレル マスタポート (PMP)

レジスタ 13-3: PMADDR: パラレルポート アドレス レジスタ

| ビット レンジ | Bit 31/23/15/7 | Bit 30/22/14/6 | Bit 29/21/13/5 | Bit 28/20/12/4 | Bit 27/19/11/3 | Bit 26/18/10/2 | Bit 25/17/9/1 | Bit 24/16/8/0 |
|------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------------------|------------------|
| 31:24 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
| | — | — | — | — | — | — | — | — |
| 23:16 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
| | — | — | — | — | — | — | — | — |
| 15:8 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | CS2 | CS1 | ADDR<13:8> | | | | | |
| 7:0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | ADDR<7:0> | | | | | | | |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットはセット 0 = ビットはクリア x = ビットは未知

bit 31-16 **未実装**: 「0」を書き込み、読み出しは無視

bit 15 **CS2**: チップセレクト 2 ビット

1 = チップセレクト 2 はアクティブ

0 = チップセレクト 2 は非アクティブ (ピンは PMA<15> として機能する)

bit 14 **CS1**: チップセレクト 1 ビット

1 = チップセレクト 1 はアクティブ

0 = チップセレクト 1 は非アクティブ (ピンは PMA<14> として機能する)

bit 13-0 **ADDR<13:0>**: デスティネーション アドレスビット

レジスタ 13-4: PMDOUT: パラレルポート データ出力レジスタ

| ビット レンジ | Bit 31/23/15/7 | Bit 30/22/14/6 | Bit 29/21/13/5 | Bit 28/20/12/4 | Bit 27/19/11/3 | Bit 26/18/10/2 | Bit 25/17/9/1 | Bit 24/16/8/0 |
|------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------------------|------------------|
| 31:24 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | DATAOUT<31:24> | | | | | | | |
| 23:16 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | DATAOUT<23:16> | | | | | | | |
| 15:8 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | DATAOUT<15:8> | | | | | | | |
| 7:0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | DATAOUT<7:0> | | | | | | | |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットはセット 0 = ビットはクリア x = ビットは未知

bit 31-0 **DATAOUT<31:0>**: スレーブモード時 8 ビット書き込み動作出力データポート ビット

PIC32 ファミリ リファレンス マニュアル

レジスタ 13-5: PMDIN: パラレルポート データ入力レジスタ

| ビット レンジ | Bit 31/23/15/7 | Bit 30/22/14/6 | Bit 29/21/13/5 | Bit 28/20/12/4 | Bit 27/19/11/3 | Bit 26/18/10/2 | Bit 25/17/9/1 | Bit 24/16/8/0 |
|------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------------------|------------------|
| 31:24 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | DATAIN<31:24> | | | | | | | |
| 23:16 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | DATAIN<23:16> | | | | | | | |
| 15:8 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | DATAIN<15:8> | | | | | | | |
| 7:0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | DATAIN<7:0> | | | | | | | |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットはセット 0 = ビットはクリア x = ビットは未知

bit 31-0 **DATAIN<31:0>**: マスタモード時 8/16 ビット読み / 書き動作入力 / 出力データポート ビット、スレーブ
 モード時 8 ビット読み出し動作入力データポート ビット

レジスタ 13-6: PMAEN: パラレルポート ピンイネーブル レジスタ

| ビット レンジ | Bit 31/23/15/7 | Bit 30/22/14/6 | Bit 29/21/13/5 | Bit 28/20/12/4 | Bit 27/19/11/3 | Bit 26/18/10/2 | Bit 25/17/9/1 | Bit 24/16/8/0 |
|------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------------------|------------------|
| 31:24 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
| | — | — | — | — | — | — | — | — |
| 23:16 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
| | — | — | — | — | — | — | — | — |
| 15:8 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | PTEN<15:14> | | PTEN<13:8> | | | | | |
| 7:0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| | PTEN<7:2> | | | | | | PTEN<1:0> | |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットはセット 0 = ビットはクリア x = ビットは未知

bit 31-16 **未実装**: 「0」を書き込み、読み出しは無視

bit 15-14 **PTEN<15:14>**: PMCSx ストローブ イネーブルビット

1 = PMA15 と PMA14 は PMA<15:14> または PMCS2/PMCS1 として機能する⁽¹⁾
 0 = PMA15 と PMA14 はポート I/O として機能する

bit 13-2 **PTEN<13:2>**: PMP アドレスポート イネーブルビット

1 = PMA<13:2> は PMP アドレスラインとして機能する
 0 = PMA<13:2> はポート I/O として機能する

bit 1-0 **PTEN<1:0>**: PMALH/PMALL ストローブ イネーブルビット

1 = PMA1 と PMA0 は PMA<1:0> または PMALH/PMALL として機能する⁽²⁾
 0 = PMA1 と PMA0 はポート I/O として機能する

Note 1: これらのピンを PMA15/PMA14 または CS2/CS1 のどちらとして使うかは、CSF<1:0> ビット (PMCON<7:6>) で選択します。

2: これらのピンを PMA1/PMA0 または PMALH/PMALL のどちらとして使うかは、PMCON レジスタの ADRMUX<1:0> ビットで選択されているアドレス / データ多重化モードによって決まります。

セクション 13. パラレル マスタポート (PMP)

レジスタ 13-7: PMSTAT: パラレルポート ステータス レジスタ (スレーブモード専用)

| ビット レンジ | Bit 31/23/15/7 | Bit 30/22/14/6 | Bit 29/21/13/5 | Bit 28/20/12/4 | Bit 27/19/11/3 | Bit 26/18/10/2 | Bit 25/17/9/1 | Bit 24/16/8/0 |
|------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------------------|------------------|
| 31:24 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
| | — | — | — | — | — | — | — | — |
| 23:16 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
| | — | — | — | — | — | — | — | — |
| 15:8 | R-0 | R/W-0 | U-0 | U-0 | R-0 | R-0 | R-0 | R-0 |
| | IBF | IBOV | — | — | IB3F | IB2F | IB1F | IB0F |
| 7:0 | R-1 | R/W-0 | U-0 | U-0 | R-1 | R-1 | R-1 | R-1 |
| | OBE | OBUF | — | — | OB3E | OB2E | OB1E | OB0E |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットはセット 0 = ビットはクリア x = ビットは未知

bit 31-16 **未実装**: 「0」を書き込み、読み出しは無視

bit 15 **IBF**: 入力バッファフル ステータスビット

- 1 = 書き込み可能入力バッファレジスタの全てがフル
- 0 = 書き込み可能入力バッファレジスタの一部または全てがエンプティ

bit 14 **IBOV**: 入力バッファ オーバーフロー ステータスビット

- 1 = フル状態の入力バイトバッファに対する書き込みが発生した
(このビットはソフトウェアでクリアする必要があります)
- 0 = オーバーフローは発生していない
(このビットはハードウェアで「1」にセットされ、ソフトウェアでのみ「0」にクリアできます)

bit 13-12 **未実装**: 「0」を書き込み、読み出しは無視

bit 11-8 **IBnF**: 入力バッファ n フル ステータスビット

- 1 = 入力バッファに未読データが存在する (このビットはバッファ読み出し時にクリアされます)
- 0 = 入力バッファに未読データは存在しない

bit 7 **OBE**: 出力バッファ エンプティ ステータスビット

- 1 = 読み出し可能出力バッファレジスタの全てがエンプティ
- 0 = 読み出し可能出力バッファレジスタの一部または全てがフル

bit 6 **OBUF**: 出力バッファ アンダーフロー ステータスビット

- 1 = エンプティ状態の出力バイトバッファからの読み出しが発生した
(このビットはソフトウェアでクリアする必要があります)
- 0 = アンダーフローは発生していない
(このビットはハードウェアで「1」にセットされ、ソフトウェアでのみ「0」にクリアできます)

bit 5-4 **未実装**: 「0」を書き込み、読み出しは無視

bit 3-0 **OBnE**: 出力バッファ n エンプティ ステータスビット

- 1 = 出力バッファはエンプティ (このビットはバッファへのデータ書き込み時にクリアされます)
- 0 = 出力バッファに未送信データが存在する

13

パラレル マスタ
ポート (PMP)

13.3 マスタモードの動作

マスタモードでは、PMP モジュールは 8 ビットまたは 16 ビットのデータバスと最大 16 ビットのアドレス、および各種外部パラレルデバイス（メモリデバイス、周辺モジュール、スレーブ マイクロコントローラ等）の動作に必要な全ての制御信号を提供します。PMP マスタモードは、データを読み / 書きするためのシンプルなインターフェイスを提供します（SRAM やフラッシュメモリ等の外部デバイスからプログラム命令を実行するためのインターフェイスではありません）。

制御方法の異なるパラレルデバイスが多数存在するため、PMP モジュールは柔軟な構造を持ち、幅広いコンフィグレーションに適応します。このような特長の一部を以下に挙げます。

- 8 ビットおよび 16 ビット データモード
- 設定可能なアドレス / データ多重化
- 最大 2 本のチップセレクトライン
- 最大 16 本の選択可能アドレスライン
- アドレスの自動インクリメント / デクリメント
- 全ての制御ラインの極性を選択可能
- 読み / 書きサイクル中の各種段階でウェイトステートを設定可能

13.3.1 パラレル マスタポートの設定オプション

13.3.1.1 8 ビットおよび 16 ビット データモード

マスタモードの PMP は、8 ビットおよび 16 ビット幅のデータをサポートします。既定値のデータ幅は 8 ビットです（MODE16 ビット（PMMODE<10>）= 0）。16 ビットのデータ幅を選択するには、MODE16 ビットを「1」にセットします。8 ビット データモードに設定している場合、PMP モジュールはデータバスの上位 8 ビット（PMD<15:8>）を制御せず、これらは汎用 I/O ピンとして利用できます。

Note: PMD<15:0> データピンは、ピン数が 100 以上の PIC32 デバイスでのみ利用可能です。64 ピンのデバイスでは、PMD<7:0> ピンだけが利用可能です。詳細は各 PIC32 デバイスのデータシートを参照してください。

13.3.1.2 チップセレクト

マスタモードでは、2 本のチップセレクトライン（PMCS1 と PMCS2）を使えます。これらのラインは、アドレスバスの上位 2 ビット（A14 と A15）に多重化されます。チップセレクトとして設定したピンは、アドレスの自動インクリメント / デクリメントから除外されます。PMCS2 と PMCS1 の両方をチップセレクトとして有効にするか、PMCS2 だけをチップセレクトとして有効にし PMCS1 をアドレスライン A14 として機能させる事もできます。PMCS1 だけをチップセレクトとして有効にする事はできません。チップセレクト信号の設定には、チップセレクト機能ビット CSF<1:0>（PMCON<7:6>）を使います。

表 13-2: チップセレクトの制御

| CSF<1:0> | 機能 |
|----------|----------------------------------|
| 10 | PMCS2 と PMCS1 を有効にする |
| 01 | PMCS2 を有効にし、PMCS1 は A14 として機能させる |
| 00 | PMCS2 を A15、PMCS1 を A14 として機能させる |

13.3.1.3 ポートピンの制御

モジュール内の各種制御およびアドレス信号を有効 / 無効にするためにビット PTWREN（PMCON<9>）、PTRDEN（PMCON<8>）、PTEN<15:0>（PMAEN<15:0>）を使います。これらのビットにより、モジュールのピン使用数を節約して他の機能向けにピンを割り当てる事ができ、外部アドレスを柔軟に制御できます。これらのビットをセットすると、対応するピンに PMP 関連機能が割り当てられます。クリアすると、そのピンの機能は既定値の I/O ポート機能に戻ります。

PTEN ビットをセットすると、対応するピンはアドレスピンとして機能し、PMADDR レジスタ内の対応するデータを出力します。PTEN ビットをクリアすると、対応するピンは既定値の I/O 機能に戻ります。

セクション 13. パラレル マスタポート (PMP)

チップセレクト (PMCS1 または PMCS2) として設定したピンの PTEN ビットをセットすると、そのチップセレクト ピンは読み / 書き動作を実行中ではない時に非アクティブデータを出力します。PTEN0 および PTEN1 ビットは PMALL および PMALH 信号を制御します。アドレスを多重化する場合、対応するアドレスラッチ信号を有効にする必要があります。I/O ピンの設定については [13.11 「I/O ピンの制御」](#) を参照してください。

13.3.1.4 読み / 書き制御

PMP モジュールは 2 種類の読み / 書き信号処理法 (マスタモード 1 と マスタモード 2) をサポートします。マスタモード 1 では、読み出しストローブと書き込みストローブは 1 つの制御ライン (PMRD/PMWR) を共有します。もう 1 つの制御ライン (PMENB) は読み / 書き動作の実行タイミングを決定します。マスタモード 2 では、読み出しストローブと書き込みストローブ (PMRD と PMWR) に別々のピンを使います。

13.3.1.5 制御ラインの極性

全ての制御信号 (PMRD、PMWR、PMENB、PMALL、PMALH、PMCS1、PMCS2) には別々に極性を設定できます。極性の設定には PMCON レジスタ内の各ビットを使います ([表 13-3](#) 参照)。

表 13-3: ピン極性の設定

| 制御ピン | PMCON 制御ビット | アクティブ HIGH | アクティブ LOW |
|-------|----------------|------------|-----------|
| PMRD | RDSP | 1 | 0 |
| PMWR | WRSP | 1 | 0 |
| PMALL | ALP | 1 | 0 |
| PMALH | ALP | 1 | 0 |
| PMCS1 | CS1P | 1 | 0 |
| PMCS2 | CS2P | 1 | 0 |

Note: 同一出力ピンを共有する複数の制御信号 (例 : PMWR と PMENB) の極性は同一ビットによって制御されます。ただし、この構成はどちらのマスタポート モードを使うかによって異なります。

13.3.1.6 自動インクリメント / デクリメント

PMP モジュールがいずれかのマスタモードで動作している場合、INCM<1:0> ビット (PMMODE<12:11>) はアドレス値の挙動を制御します。読み / 書き動作が完了して BUSY ビット (PMMODE<15>) が「0」にクリアされるたびに、PMADDR レジスタ内のアドレスを転送データ幅に関係なく 1 ずつ自動的にインクリメントまたはデクリメントさせる事ができます。

表 13-4: アドレスのインクリメント / デクリメント制御

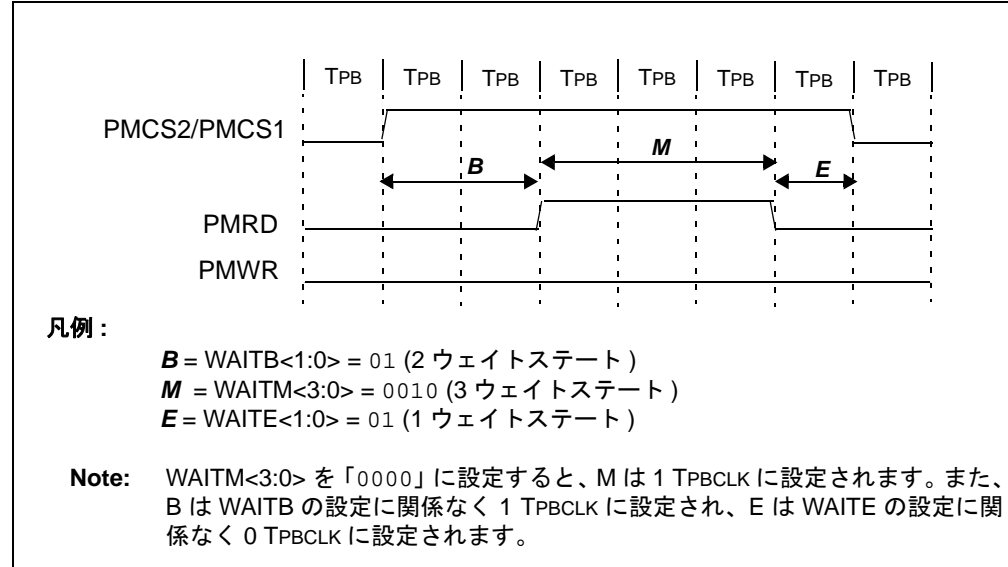
| INCM<1:0> | 機能 |
|-----------|------------------------|
| 10 | 読み / 書きサイクル毎にデクリメントする |
| 01 | 読み / 書きサイクル毎にインクリメントする |
| 00 | インクリメントもデクリメントもしない |

チップセレクト信号を無効にして CS2 および CS1 ビットをアドレスビットとして設定した場合、これらのビットはインクリメント / デクリメント動作の影響を受けます。それ以外の場合、CS2 および CS1 ビットの値はインクリメント / デクリメント動作の影響を受けません。

13.3.1.7 ウェイトステート

マスタモードでは、モジュールウェイトステートを設定する事により、読み出し、書き込み、アドレッシング サイクルの長さを制御できます。ウェイトステートの単位長さは 1 TPBCLK (周辺モジュールバス クロックサイクル) です。図 13-2 に、ウェイトステートを使ったマスタモード 2 での読み出し動作例を示します。

図 13-2: ウェイトステートを有効にした読み出し動作



PMMODE レジスタ内の WAITB、WAITM、WAITE ビットを設定する事により、読み / 書きサイクルの先頭、中間、末尾にウェイトステートを挿入できます。

WAITB<1:0> ビット (PMMODE<7:6>) は、モード 10 における PMRD/PMWR ストロープまたはモード 11 における PMENB ストロープに先立つデータセットアップ用のウェイトサイクル数を定義します。アドレスバスをデータバスに多重化している (ADRMUX<1:0> ビット (PMCON<12:11>) = 01、10、11) 場合、WAITB はアドレッシング期間を延長するためのウェイトサイクル数を定義します。

WAITM<3:0> ビット (PMMODE<5:2>) は、モード 10 における PMRD/PMWR ストロープまたはモード 11 における PMENB ストロープ用のウェイトサイクル数を定義します。このウェイトステート設定を「0000」にすると、WAITB と WAITE の設定は無視されます。この場合、データセットアップ時間のウェイトステート数 (WAITB) は、既定値の 1 に設定されます。一方、データホールド時間のウェイトステート数 (WAITE) は、書き込み動作中は 1、読み出し動作中は 0 (共に既定値) に設定されます。

WAITE<1:0> ビット (PMMODE<1:0>) は、モード 10 における PMRD/PMWR ストロープまたはモード 11 における PMENB ストロープの後のデータホールド用のウェイトサイクル数を定義します。

13.3.1.8 アドレス多重化

アドレス多重化により、読み / 書き動作のアドレッシングサイクル中に、データバスを使って一部または全部のアドレスライン信号を生成できます。これは、アドレスライン PMA<15:0> を汎用 I/O ピンとして使う必要がある場合に便利です。どのデータビット (下位 8 ビット、上位 8 ビット、完全な 16 ビット) に多重化するかは、ユーザ アプリケーションで選択できます。これらの多重化モードは、マスタモード 1 と 2 の両方で使えます。多重化モードのタイミング図は 13.3.8 「マスタモードのタイミング」に記載しています。

表 13-5: アドレス多重化の設定

| ADRMUX<1:0> | アドレス / データ多重化モード |
|-------------|---------------------------------------|
| 11 | 全多重化 (16 ビットのデータピン PMD<15:0> に多重化) |
| 10 | 全多重化 (下位 8 ビットのデータピン PMD<7:0> に多重化) |
| 01 | 半多重化 (下位 8 ビットのデータピン PMD<7:0> に多重化) |
| 00 | 非多重化 (多重化しない) |

セクション 13. パラレル マスタポート (PMP)

13.3.1.8.1 非多重化モード

非多重化モードを選択するには、ADRMUX<1:0> ビット (PMCON<12:11>) を「00」に設定します。このモードでは、アドレスビット用に PMA<15:0> ピンを使います。

PMCS2 を有効にした場合、アドレスピン PMA15 は利用できません。PMCS1 を有効にした場合、アドレスピン PMA14 は利用できません。

16 ビットデータモードでは、データビット用に PMD<15:0> ピンを使います。8 ビットデータモードでは、データビット用に PMD<7:0> ピンを使います。

図 13-3: 非多重化アドレッシング モード

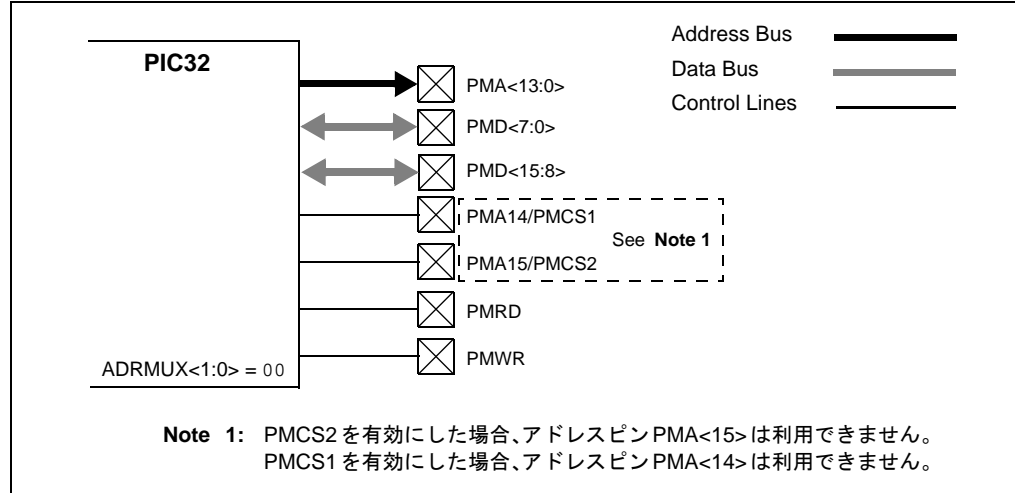
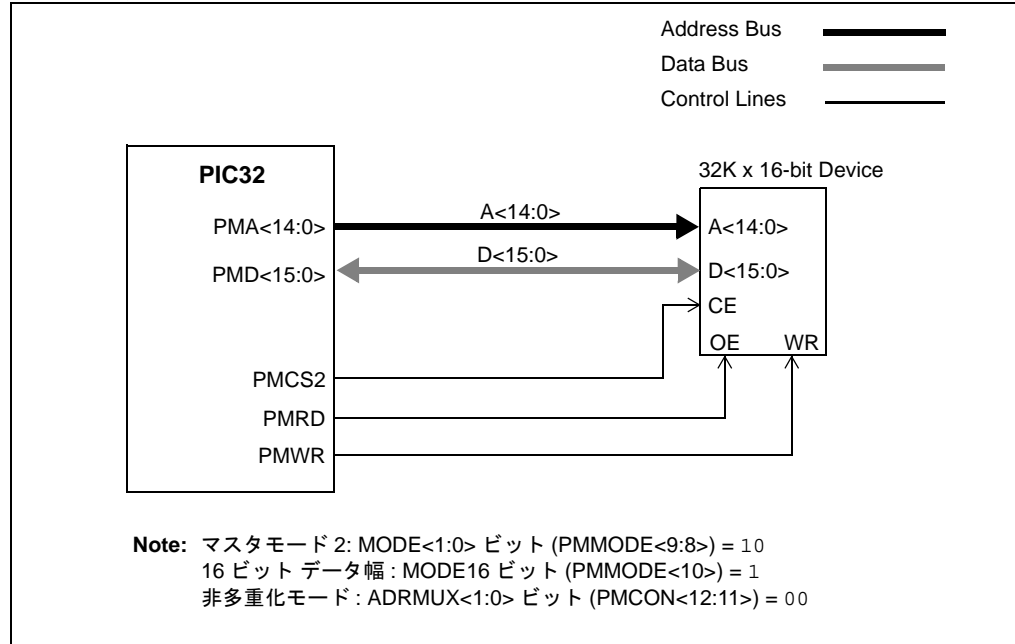


図 13-4: 非多重化アドレッシングの例



13.3.1.8.2 半多重化モード

半多重化モード (8 ビットのデータピンに多重化) は、8 ビットおよび 16 ビットのデータバスコンフィギュレーションで利用できます。このモードを選択するには、ADRMUX<1:0> ビット (PMCON<12:11>) を「01」に設定します。このモードでは、アドレスの下位 8 ビットをデータバスの下位 8 ビットのピン (PMD<7:0>) に多重化します。アドレスの上位 8 ビットはそのまま PMA<15:8> に出力します。このモードでは、アドレスピン PMA<7:1> を汎用 I/O ピンとして使えます。

PMCS2 を有効にした場合、アドレスピン PMA15 は利用できません。PMCS1 を有効にした場合、アドレスピン PMA14 は利用できません。

アドレスピン PMA<0> は、アドレスラッチ イネーブル ストロープ (PMALL) として使われ、この間、アドレスの下位 8 ビットは PMD<7:0> ピンに出力されます。読み / 書きシーケンスは少なくとも 3 TPBCLK (周辺モジュールバス クロックサイクル) 長くなります。

WAITM<3:0> (PMODE<5:2>) がゼロではない場合、PMALL ストロープには WAITB<1:0> (PMODE<7:6>) で設定されているウェイトステートが追加されます。

図 13-5: 半多重化アドレッシング モード

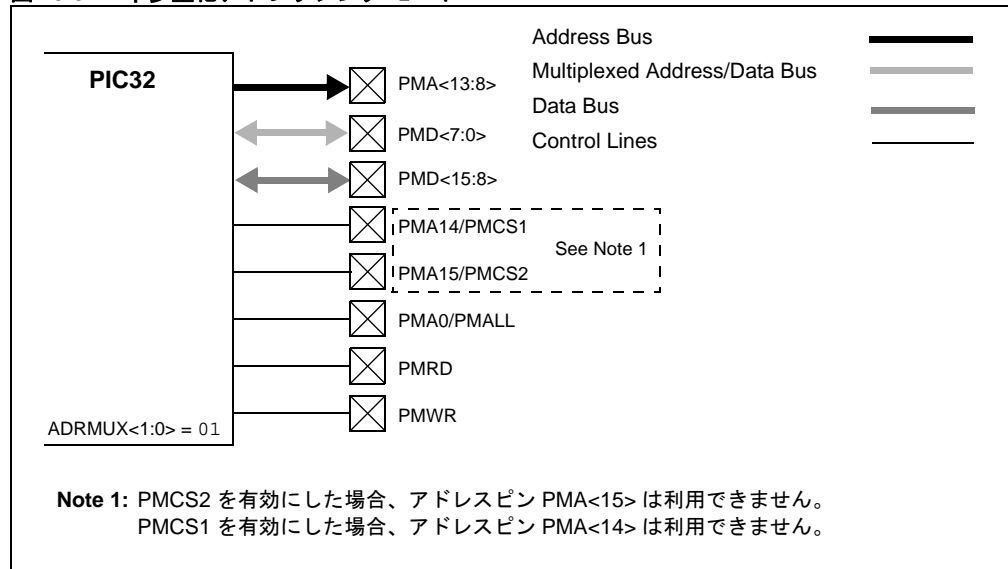
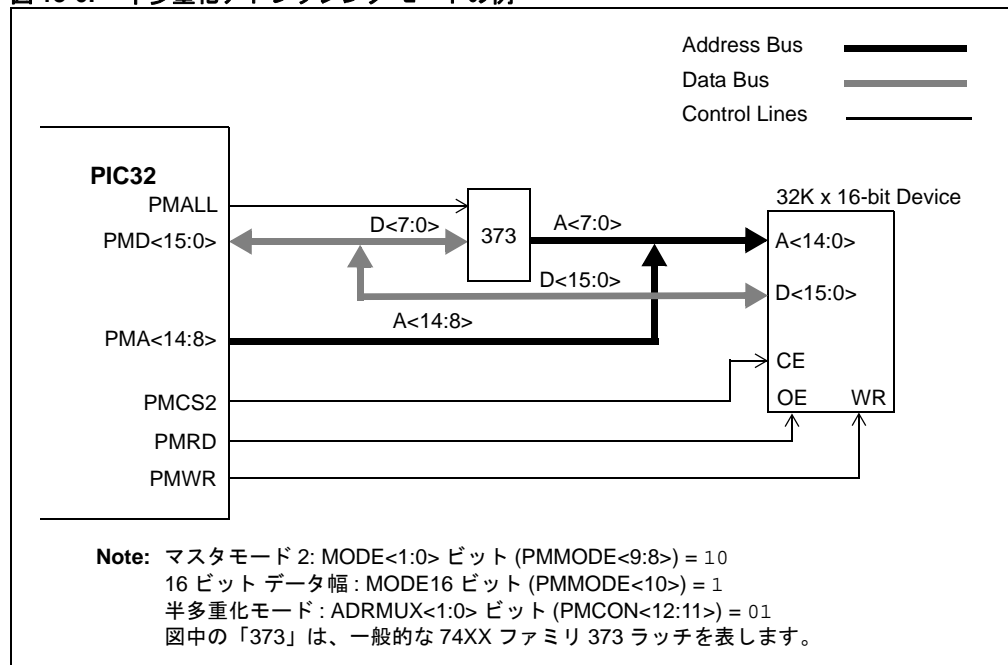


図 13-6: 半多重化アドレッシング モードの例



セクション 13. パラレル マスタポート (PMP)

13.3.1.8.3 全多重化モード (8 ビットのデータピンに多重化)

全多重化モード (8 ビットのデータピンに多重化) は、8 ビットおよび 16 ビットのデータバスコンフィギュレーションで利用できます。このモードを選択するには、ADRMUX<1:0> ビット (PMCON<12:11>) を「10」に設定します。このモードでは、アドレスの 16 ビットを全てデータバスの下位 8 ビットのピン (PMD<7:0>) に多重化します。このモードでは、PMA<13:2> ピンを汎用 I/O ピンとして利用できます。

PMCS2/PMA15 または PMCS1/PMA14 をチップセレクトピンとして設定すると、対応するアドレスビット (PMADDR<15> または PMADDR<14>) は自動的に「0」に固定されます。

アドレスピン PMA<0> および PMA<1> は、それぞれアドレスラッチ イネーブル ストロープ PMALL および PMALH として使われます。最初のサイクルで PMALL ストロープがアクティブになり、アドレスの下位 8 ビットが PMD<7:0> ピンに出力されます。2 番目のサイクルで PMALH ストロープがアクティブになり、アドレスの上位 8 ビットが PMD<7:0> ピンに出力されます。読み / 書きシーケンスは少なくとも 6 TPBCLK (周辺モジュールバス クロックサイクル) 長くなります。

WAITM<3:0> (PMMODE<5:2>) がゼロではない場合、PMALL および PMALH ストロープの両方に WAITB<1:0> (PMMODE<7:6>) で設定されているウェイトステートが追加されます。

図 13-7: 全多重化アドレッシングモード (8 ビットバス)

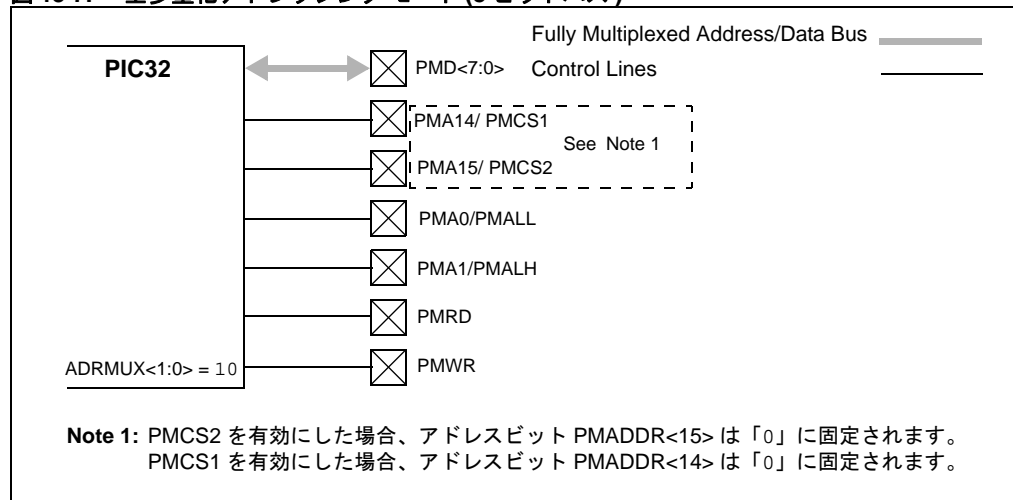
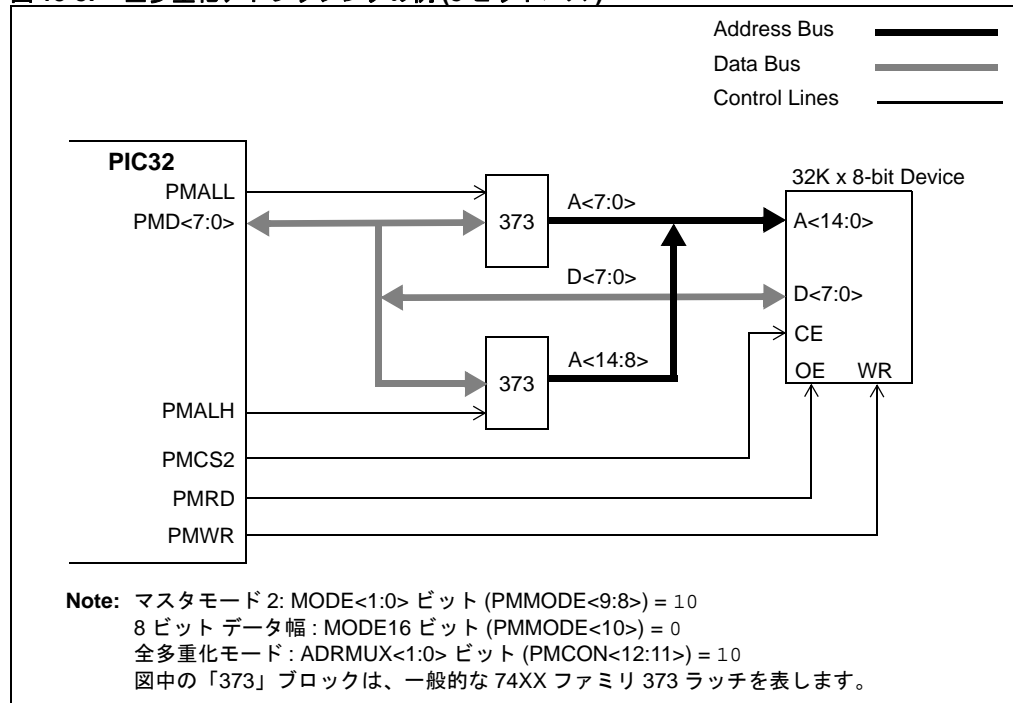


図 13-8: 全多重化アドレッシングの例 (8 ビットバス)



13.3.1.8.4 全多重化モード (16 ビットのデータピンに多重化)

全多重化モード (16 ビットのデータピンに多重化) は、16 ビットのデータバス コンフィグレーションでのみ利用できます。このモードを選択するには、ADRMUX<1:0> ビット (PMCON<12:11>) を「11」に設定します。このモードでは、アドレスの 16 ビットを全てデータバスの 16 ビットのピン (PMD<15:0>) に多重化します。

PMCS2/PMA15 または PMCS1/PMA14 をチップセレクト ピンとして設定すると、対応するアドレスビット (PMADDR<15> または PMADDR<14>) は自動的に「0」に固定されます。

アドレスピン PMA<0> および PMA<1> は、それぞれアドレスラッチ イネーブル ストロープ PMALL および PMALH として同時に使われます。PMALL および PMALH ストロープがアクティブな間、アドレスの下位 8 ビットが PMD<7:0> ピンに出力され、上位 8 ビットが PMD<15:8> ピンに出力されます。読み / 書きシーケンスは少なくとも 3 TPBCLK (周辺モジュールバス クロックサイクル) 長くなります。

WAITM<3:0> (PMMODE<5:2>) がゼロではない場合、PMALL および PMALH ストロープの両方に WAITB<1:0> (PMMODE<7:6>) で設定されているウェイトステートが追加されます。

図 13-9: 全多重化アドレッシングモード (16 ビットバス)

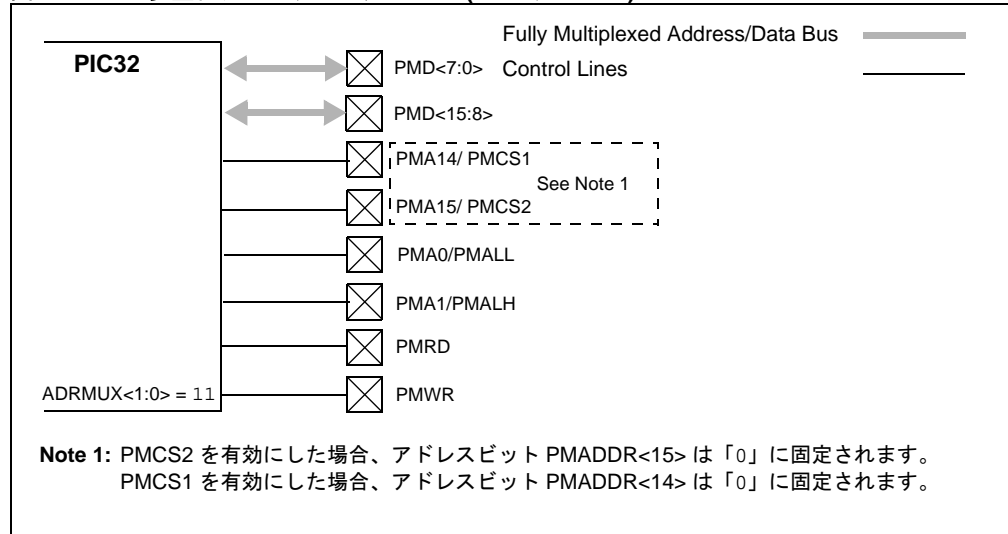
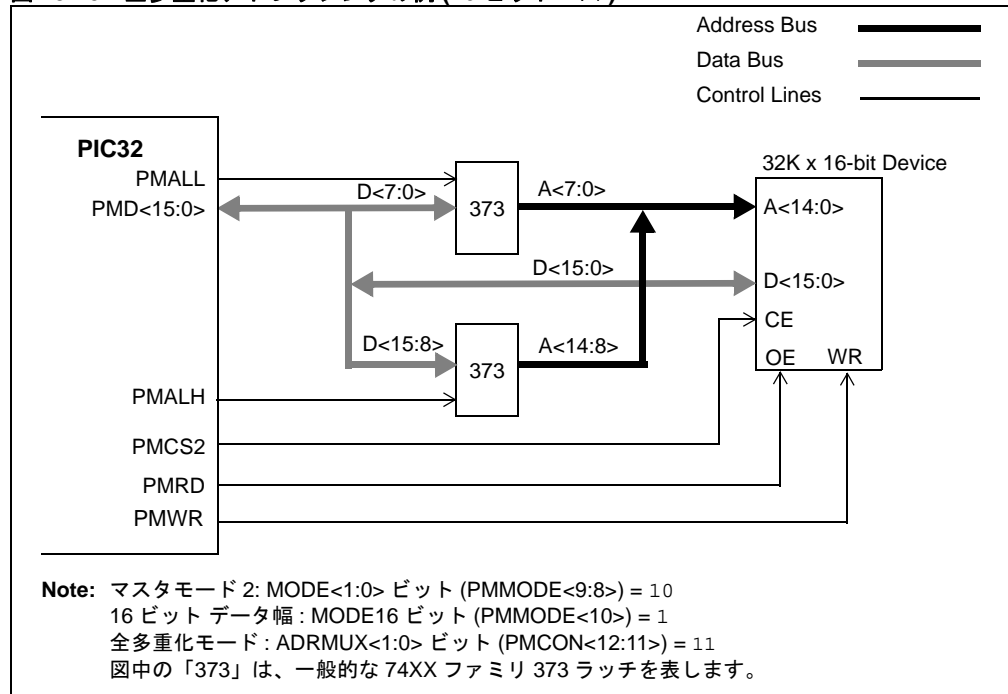


図 13-10: 全多重化アドレッシングの例 (16 ビットバス)



13.3.2 マスタモード動作の設定

マスタモードのコンフィグレーションは、主に外部デバイスに対するインターフェイス要件によって決まります。PMP そのものの設定は、一般的にアドレスの多重化、制御信号の極性、データ幅、ウェイトステートによって決まります。

PMP をマスタとして使う場合、ON 制御ビット (PMCON<15>) を「1」にセットしてモジュールを有効にし、2 種類存在するマスタモードのいずれか一方を選択する必要があります。制御ビット MODE<1:0> (PMMODE<9:8>) を「10」にするとマスタモード 2、「11」にするとマスタモード 1 に設定されます。

下記のマスタモード初期化手順により、PMP ポートが外部デバイスと正しく通信できるように設定します。

1. 割り込みを使う場合、PMP 割り込みを無効にする: 割り込みイネーブルビット PMPIE (IEC1<2>) = 0
2. PMP モジュールを停止してリセットする: ON 制御ビット (PMCON<15>) = 0
3. PMCON、PMMODE、PMAEN 制御レジスタを適切に設定する
4. 割り込みを使う場合:
 - a) 割り込みフラグビットをクリアする: CNIF(IFS1<2>) = 0
 - b) PMP 割り込み優先度ビット PMPIP<2:0> (IPC7<4:2>) と割り込み副優先度ビット PMPIS (IPC7<1:0>) を設定する
 - c) PMP 割り込みを有効にする: 割り込みイネーブルビット PMPIE = 1.
5. PMP マスタポートを有効にする: ON 制御ビット = 1

Note: PMP モジュールの設定変更は、保留中の読み / 書き動作が全て完了した後に行う事を推奨します。

マスタモード 2 動作向けの代表的な設定例を以下に示します。

1. マスタモード 2 を選択する: MODE<1:0> ビット (PMMODE<9:8>) = 10
 2. 16 ビット データモードを選択する: MODE16 ビット (PMMODE<10>) = 0
 3. 半多重化アドレッシングを選択する: ADRMUX<1:0> ビット (PMCON<12:11>) = 01
 4. 自動アドレス インクリメントを選択する: INCM<1:0> ビット (PMMODE<12:11>) = 01
 5. 割り込み要求モードを有効にする: IRQM<1:0> ビット (PMMODE<14:13>) = 01
 6. PMRD ストロブを有効にする: PTRDEN ビット (PMCON<8>) = 1
 7. PMWR ストロブを有効にする: PTWREN ビット (PMCON<9>) = 1
 8. PMCS2 および PMCS1 チップセレクトを有効にする: CSF<1:0> ビット (PMCON<7:6>) = 10
 9. PMRD ピンの極性をアクティブ LOW に設定する: RDSP ビット (PMCON<0>) = 0
 10. PMWR ピンの極性をアクティブ LOW に設定する: WRSP ビット (PMCON<1>) = 0
 11. PMCS2 および PMCS1 ピンの極性を選択する:
 - CS2P ビット (PMCON<4>) = 0 、CS1P ビット (PMCON<3>) = 0
 12. データセットアップ用のウェイトサイクル数を 1 に設定する: WAITB<1:0> ビット (PMMODE<7:6>) = 00
 13. PMRD/PMWR 延長用のウェイトサイクル数を 2 に設定する: WAITM<3:0> ビット (PMMODE<5:2>) = 0001
 14. データホールド用のウェイトサイクル数を 1 に設定する: WAITE<1:0> ビット (PMMODE<1:0>) = 00
 15. アドレスピンの上位 8 ビット (PMA<15:8>) を有効にする:
 - PMAEN<15:8> = 1 (下位 8 ビットのピンは汎用 I/O として使用可能)
- サンプルコードを例 13-1 に示します。

例 13-1: マスタモード 2 (アドレス半多重化、16 ビットデータ) に初期化する

```
/* Configuration Example: Master mode 2, 16-bit data, partially multiplexed
address/data, active-lo polarities.*/

IEC1CLR = 0x0004    // Disable PMP interrupt
PMCON = 0x0000;    // Stop PMP module and clear control register
PMCONSET = 0x0B80; // Configure the addressing and polarities
PMMODE = 0x2A40;    // Configure the mode
PMAEN = 0xFF00;    // Enable all address and Chip Select lines

IPC7SET = 0x001C; // Set priority level = 7 and
IPC7SET = 0x0003; // Set subpriority level = 3
                // Could have also done this in single
                // operation by assigning IPC7SET = 0x001F

IEC1SET = 0x0004;    // Enable PMP interrupts
PMCONSET = 0x8000;    // Enable the PMP module
```

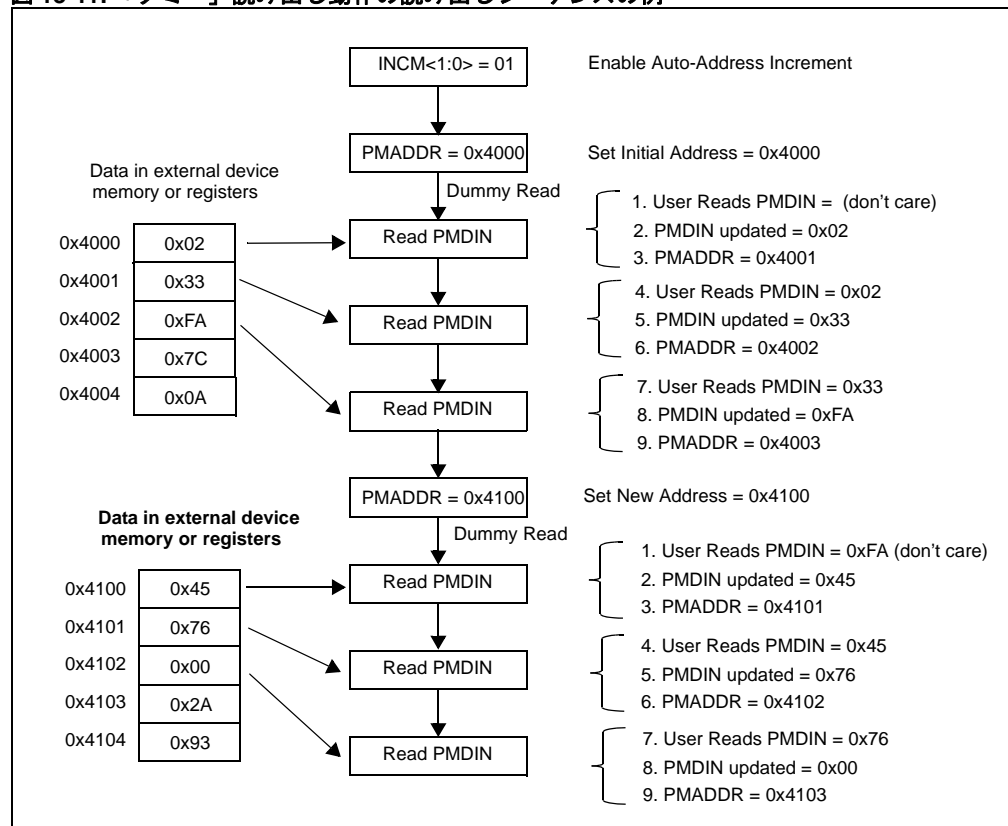
13.3.3 読み出し動作

パラレルバス上で読み出しを実行するために、ユーザ アプリケーションは PMDIN レジスタを読み出します。PMDIN レジスタ内の現在の値を読み出すと、PMP はチップセレクトラインとアドレスバスをアクティブにします。マスタモード 2 は読み出しライン PMRD をストローブし、マスタモード 1 は PMRD/PMWR および PMENB ラインをストローブします。新しいデータが PMDIN レジスタにラッチされ、次に PMDIN レジスタを読み出すと新しいデータを読み出せます。

PMDIN レジスタから得られる読み出しデータは、前回の読み出し動作でバスから読み出された値である事に注意が必要です。このためユーザ アプリケーションによる最初の読み出しは、バス読み出しを開始して最初のバス読み出し値を読み出しレジスタに書き込むためのダミー読み出しです。このシーケンスを図 13-11 に示します。また、BUSY ビット (PMMODE<15>) を LOW として検出するまでは、今回のバス読み出し値をレジスタから読み出す事はできません。従って、PMDIN レジスタを読み出した直後に (BUSY がクリアされる前に) 再度読み出しても、新しいデータを読み出す事はできません。BUSY ビットがクリアされた後にレジスタを読み出すと、新しいバス値がレジスタに書き込まれます。

16 ビット データモード (MODE16 ビット (PMMODE<10>) = 1) の場合、PMDIN レジスタから読み出すとデータバス PMD<15:0> が PMDIN<15:0> に読み込まれます。8 ビット データモード (MODE16 ビット (PMMODE<10>) = 0) の場合、PMDIN レジスタから読み出すとデータバス PMD<7:0> が PMDIN<7:0> に読み込まれます (上位 8 ビット (PMD<15:8>) は無視されます)。

図 13-11: 「ダミー」読み出し動作の読み出しシーケンスの例



13.3.4 書き込み動作

パラレルポート上で書き込み動作を実行するために、ユーザ アプリケーションは読み出し動作と同じ PMDIN レジスタに書き込みます。この書き込みを実行すると、PMP モジュールは最初にチップセレクトラインとアドレスバスをアクティブにします。PMDIN レジスタに書き込まれたデータは PMD データバスに出力されます。マスタモード 2 では書き込みライン PMPWR がストローブされ、マスタモード 1 では PMRD/PMWR および PMENB ラインがストローブされます。

16 ビット データモード (MODE16 ビット (PMMODE<10>) = 1) の場合、PMDIN レジスタに書き込むと PMDIN<15:0> がデータバス (PMD<15:0>) に出力されます。8 ビット データモード (MODE16 ビット (PMMODE<10>) = 0) の場合、PMDIN レジスタに書き込むと PMDIN<7:0> がデータバス (PMD<7:0>) に出力されます (上位 8 ビット (PMD<15:8>) は無視されます)。

13.3.5 マスタモード割り込み

PMP マスタモードでは、読み / 書きストローブのたびに PMPIF ビットがセットされます。割り込み要求を生成するには、IRQM<1:0> ビット (PMMODE<14:13>) を「01」に設定し、かつ PMP 割り込みを有効 (PMPIE (IEC1<2>) = 1) にする必要があります。

13.3.6 パラレル マスタポートのステータス – BUSY ビット

PMP 割り込みに加えて、BUSY ビット (PMMODE<15>) もモジュールのステータスを示します。このビットはマスタモードでのみ使います。

読み / 書き動作の実行中、BUSY ビットは動作の最後のサイクルを除く全ての周辺モジュールバスサイクルでセットされます。これは、ウェイトステートを有効にした場合、あるいはアドレス / データの多重化を選択した場合に役立ちます。BUSY ビットがセットされている間、ユーザ アプリケーションが次の動作の開始を要求しても無視されます。つまり、PMDIN レジスタに読み / 書きしても読み / 書き動作は発生しません。

システムクロック (SYSCLK) が周辺モジュールバスクロックよりも高速に動作する可能性があるコンフィグレーションの場合、あるいはウェイトステート数が多い場合、次の CPU 命令が PMP モジュールに対して読み / 書きする際に PMP モジュールが読み / 書き動作を完了していないといった状況が発生する可能性があります。このため、PMDIN または PMADDR レジスタへのアクセスを実行する前に、BUSY ビットをチェックする事を強く推奨します。例 13-2 に示すサンプルコードでは、PMP モジュールにアクセスする前に BUSY ビットをポーリングしています。

ほとんどのアプリケーションでは、PMP モジュールのチップセレクト ピンを使ってチップセレクト インターフェイスを提供し、PMP モジュールがそのタイミングを制御します。しかし、アプリケーションによっては、PMP モジュールのチップセレクト ピンをチップセレクトとしてではなく上位アドレスライン (PMA<14>、PMA<15> 等) として使う必要があります。このような状況では、I/O ポートピンを使ってソフトウェア制御でアプリケーションのチップセレクト機能を提供する必要があります。この場合、ユーザ アプリケーションは、ソフトウェア制御下のチップセレクトをネゲートする前に、BUSY ビットをポーリングして読み / 書き動作の完了を確認する事が特に重要です。

例 13-2: サンプルコード: BUSY ビットフラグのポーリング

```
/* This example reads 256 16-bit words from an external device at address 0x4000 and copies
the data to a second external device at address 0x8000. The PMP port is operating in
Master mode 2. Note how the PMP's BUSY bit is polled prior to all operations to the
PMDOUT, PMDIN or PMADDR register, except where noted.*/

unsigned short DataArray<256>;

// Provide the setup code here including large Wait
// states, auto increment.
...
CopyData(); // A call to the copy function is made.
...

void CopyData()
{
    PMADDR = 0x4000; // Initialize PMP address. First time, no need to poll BUSY bit
    while(PMMODE & 0x8000); // Poll - if busy, wait before reading.
    PMDIN; // Read the PMDIN to clear previous data and latch new
    // data.

    for(i=0; i<256; i++)
    {
        while(PMMODE & 0x8000); // Poll - if busy, wait before reading.
        DataArray<i> = PMDIN; // Read the external device.
    }

    while(PMMODE & 0x8000); // Poll - if busy, wait before changing PMADDR.
    PMADDR = 0x8000; // Address of second external device.

    for(i=0; i<256; i++)
    {
        while(PMMODE & 0x8000); // Poll - if busy, wait before writing.
        DataArray<i> = PMDIN; // Read the external device.
    }
    return();
}
```

13.3.7 アドレッシングの注意点

PMCS2 および PMCS1 チップセレクト ピンは、アドレスライン A15 および A14 と機能を共有しています。PMCS2 と PMCS1 の両方または PMCS2 だけをチップセレクトとして有効にできます。PMCS2 だけを有効にした場合、PMCS1 はアドレスライン A14 として機能できます。PMCS1 だけをチップセレクトとして有効にする事はできません。

Note: PMCS2 と PMCS1 の両方をチップセレクトとして有効にしている場合に A15 と A14 の両方を「1」にセットすると、読み / 書き動作時に PMCS2 と PMCS1 の両方がアクティブになります。これは 2 つのデバイスを同時に有効にする可能性があるため、避けるべきです。

両方をチップセレクトとして構成した場合、読み / 書き動作中に PMCS2 または PMCS1 の一方だけがアクティブになるよう、PMADDR レジスタの bit 15 または 14 のいずれか一方にだけ「1」を書き込む必要があります。PMCS2 および PMCS1 のどちらにも「1」を書き込まなかった場合、アドレスピン PMA<13:0> はアクティブになり指定されたアドレスを出力しますが、チップセレクト信号はアクティブになりません。

Note: 自動インクリメント アドレスモードを使う場合、PMCS2 と PMCS1 は自動インクリメントの対象とはならないため、ユーザ アプリケーションで PMADDR<15:14> に「1」を明示的に書き込む事によって PMCS2 と PMCS1 を制御する必要があります。

全多重化モードではアドレスビット PMADDR<15:0> はデータバスに多重化されます。このモードでアドレスビット PMA15 または PMA14 をチップセレクトとして構成すると、対応する PMADDR<15:14> アドレスビットは自動的に「0」に固定されます。PMCS2 と PMCS1 の両方または片方を無効にすると、それらのビットはアドレスビット PMADDR<15:14> として使えます。

両方のチップセレクト ピン (PMCS2 と PMCS1) を無効にする場合、どのようなマスタモード多重化方式であっても、ユーザ アプリケーションはソフトウェア制御で他の I/O ピンを使ってチップセレクト ライン制御を提供する必要があります (図 13-12 参照)。

図 13-12: PMP チップセレクト アドレスマップ

| | PMCS2, CS1 | PMCS2, A14 | A15, A14, I/O-pin |
|--------|--|--|---|
| 0xFFFF | Both Devices Selected (INVALID) | Device Selected PMCS2 = 1 | Device Selected I/O-pin = 1 |
| 0xC000 | Device 2 Selected PMCS2 = 1 | | |
| 0x8000 | Device 1 Selected PMCS1 = 1 | | |
| 0x4000 | No Device Selected | No Device Selected | |
| 0x0000 | | | |
| | 2 – Chip Selects 2 – 16K Address Ranges | 1 – Chip Select 1 – 32K Address Range | I/O-pin = Software-controlled CS 1 – 64K Address Range |

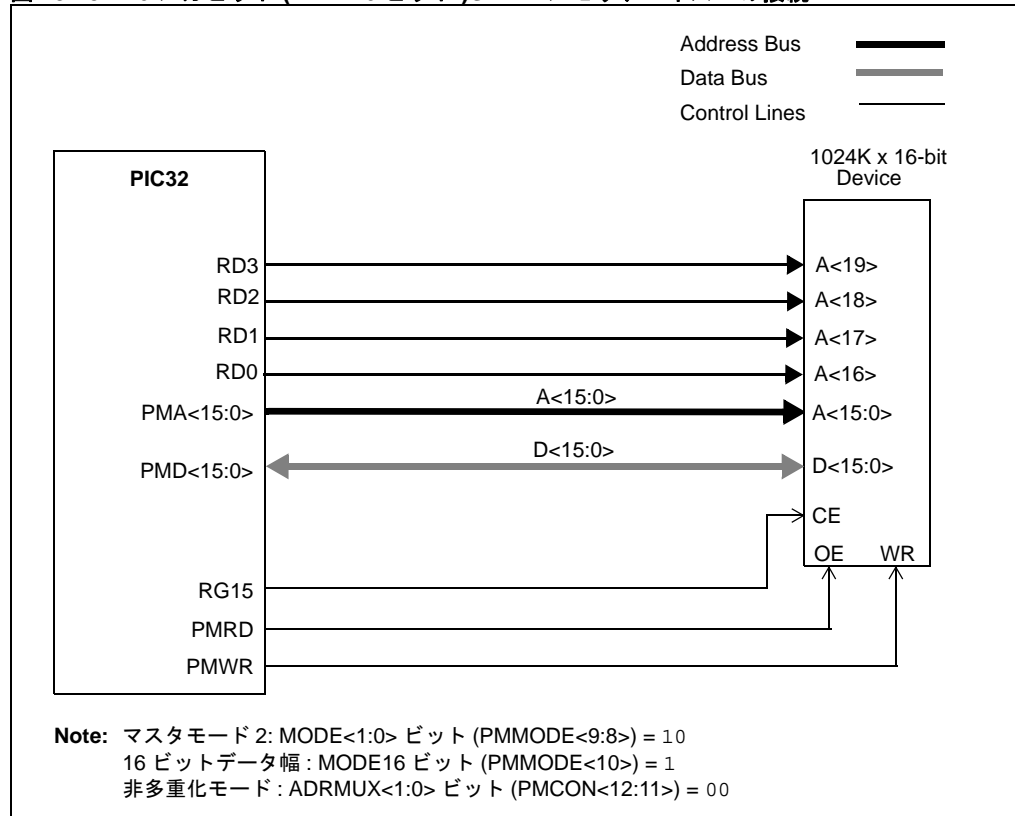
セクション 13. パラレル マスタポート (PMP)

13.3.7.1 64K を超えるメモリデバイスのアドレッシング

PMCS2 または PMCS1 チップセレクト ピンを使う場合、アドレッシング レンジはどのチップセレクト ピンを使うかに応じて 16K また 32K に制限されます。PMCS2 と PMCS1 をチップセレクトとして有効にしない場合、これらのピンはアドレスライン PMA15 および PMA14 として使用でき、アドレッシング レンジは 64K に増加します。この場合、他の I/O ピンをチップセレクト用に割り当てる必要があり、ユーザ アプリケーションはそのピンの動作を制御する必要があります。

64K を超えるメモリデバイスにアクセスするには、上位のアドレスライン (A16、A17、A18、...) 用にさらに追加の I/O ピンを使う必要があります (図 13-13 参照)。

図 13-13: 16 メガビット (1M x 16 ビット) SRAM メモリデバイスへの接続



13.3.8 マスタモードのタイミング

PMP マスタモードのサイクル時間は PMP が 1 回の読み / 書き動作の実行に要する PBCLK サイクル数として定義され、PBCLK クロック速度、PMP アドレス / データ多重化モード、PMP ウェイトステート数によって決まります。セットアップおよびホールド時間の特性については、各デバイスのデータシートを参照してください。

PMP マスタモードの読み / 書きサイクルは、PMDIN レジスタにアクセス (読み / 書き) すると始まります。表 13-6 に、各多重化コンフィグレーションにおける読み / 書きサイクル時間を要約して示します。

PMP の実際のデータレート (ユーザコードで読み / 書きサイクルを連続して実行可能なレート) は、下記の要因に大きく依存します。

- ユーザ アプリケーション コードの内容
- コードの最適化レベル
- 内部バスの動作
- 命令実行速度に関係するその他の要因

Note: マスタモードの読み / 書き動作では、動作 (ウェイトステートを含む) が終了する 1 TPBCLK (周辺モジュールバス クロックサイクル) 前に BUSY フラグがネゲートされます。ユーザ アプリケーションは、次の PMP 動作を開始する前に、BUSY フラグが「0」である事を確認する必要があります。

表 13-6: PMP 読み / 書きサイクル時間⁽¹⁾

| アドレス / データ多重化 コンフィグレーション | ADRMUX ビット | PMP サイクル時間 (PBCLK サイクル数) | |
|-----------------------------|---------------|-----------------------------|------|
| | | 読み出し | 書き込み |
| 全多重化 (16 ビットデータ) | 11 | 5 | 6 |
| 全多重化 (8 ビットデータ) | 10 | 8 | 9 |
| 半多重化 | 01 | 5 | 6 |
| 非多重化 | 00 | 2 | 3 |

Note 1: ウェイトステートを有効にしていない場合の時間です。

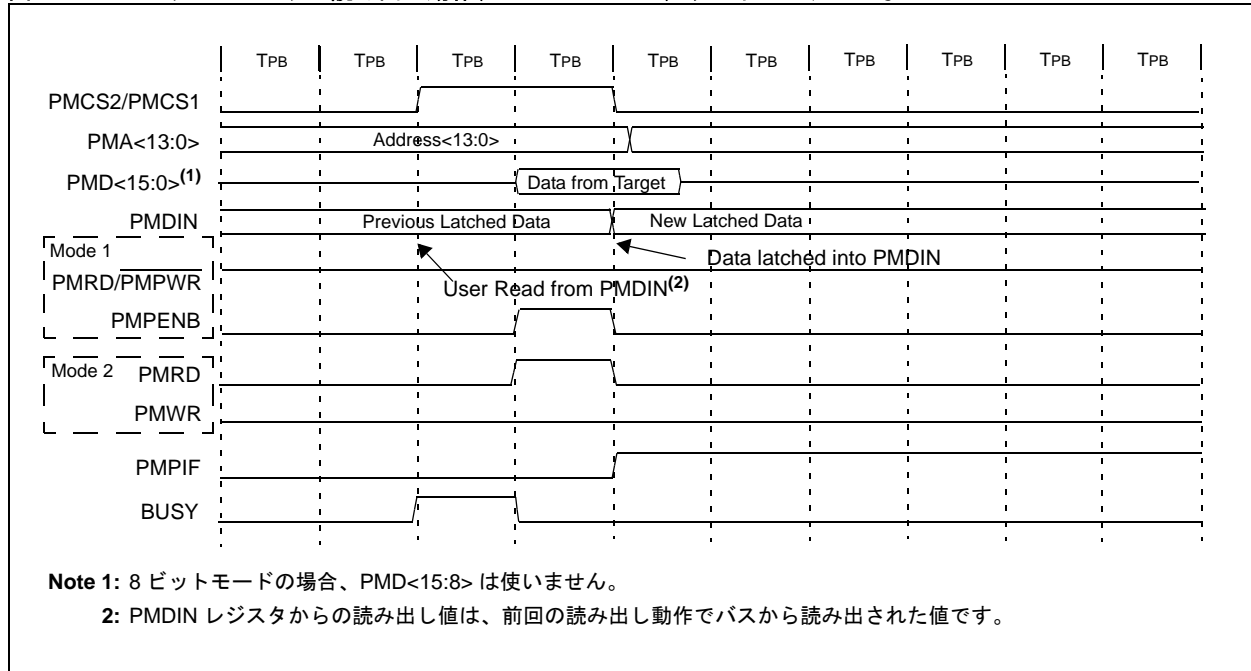
一般的な各種のマスタモード コンフィグレーションのタイミング例をこの後に記載しています。これらのコンフィグレーションでは、8 ビット / 16 ビットデータモード、アドレス非多重化 / 半多重化 / 全多重化、ウェイトステートの設定が異なります。説明のために、全ての制御信号の極性は「アクティブ HIGH」としています。

セクション 13. パラレル マスタポート (PMP)

13.3.8.1 アドレス / データ非多重化のタイミング

図 13-14 は、アドレスバスをデータバスに多重化しない非多重化コンフィグレーションにおけるウェイトステートなしの読み出し動作のタイミング図です。この場合、読み出し動作には 2 TPBCLK (周辺モジュール バスクロック サイクル) を要します。

図 13-14: 8 ビット /16 ビット読み出し動作、ADRMUX = 00、ウェイトステートなし



同じコンフィグレーションでウェイトステートを有効にした場合のタイミングを図 13-15 に示します。この場合、読み出し動作には 6 TPBCLK (周辺モジュール バスクロック サイクル) を要します。

図 13-15: 8 ビット /16 ビット読み出し動作、ADRMUX = 00、ウェイトステート有効

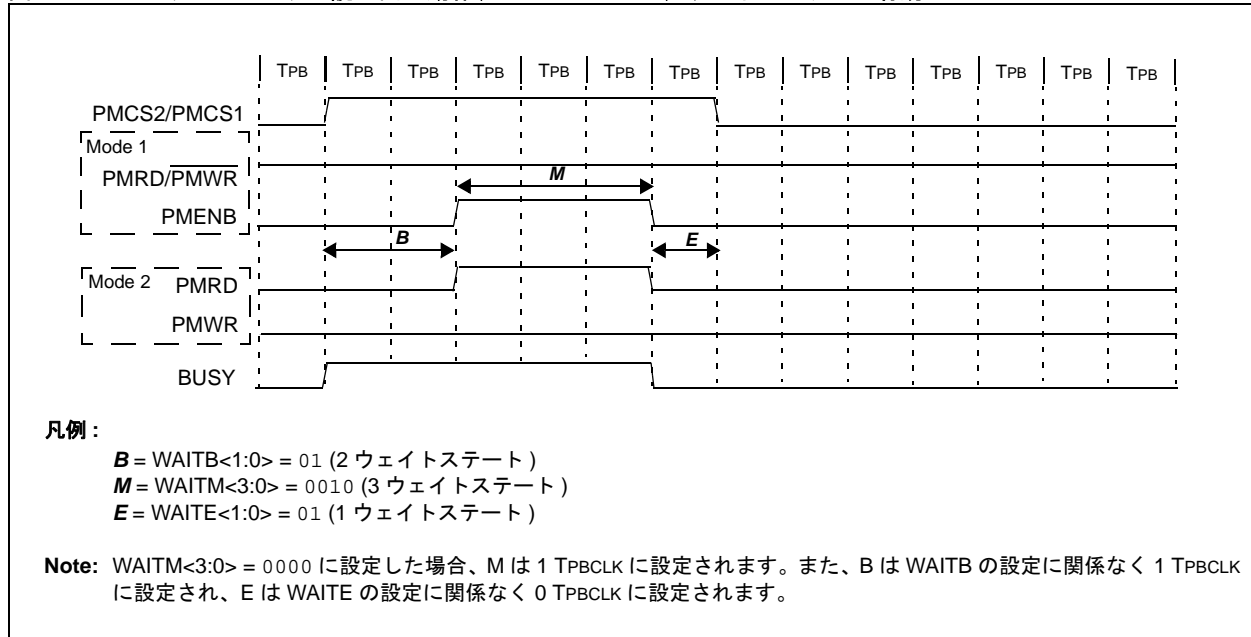
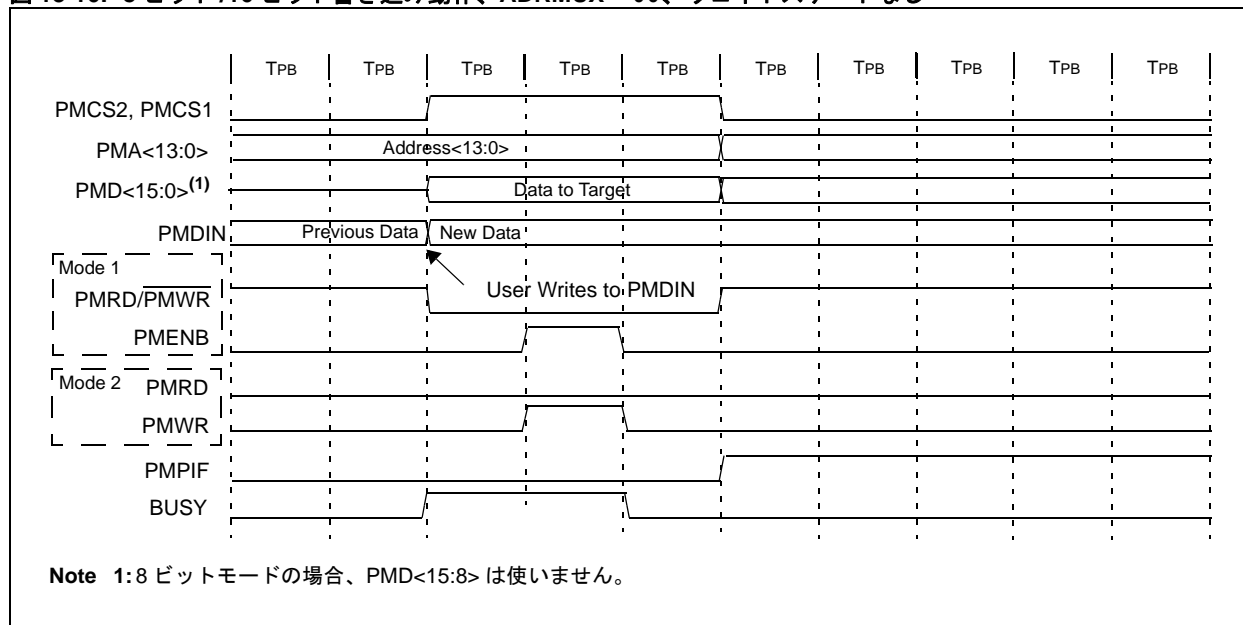


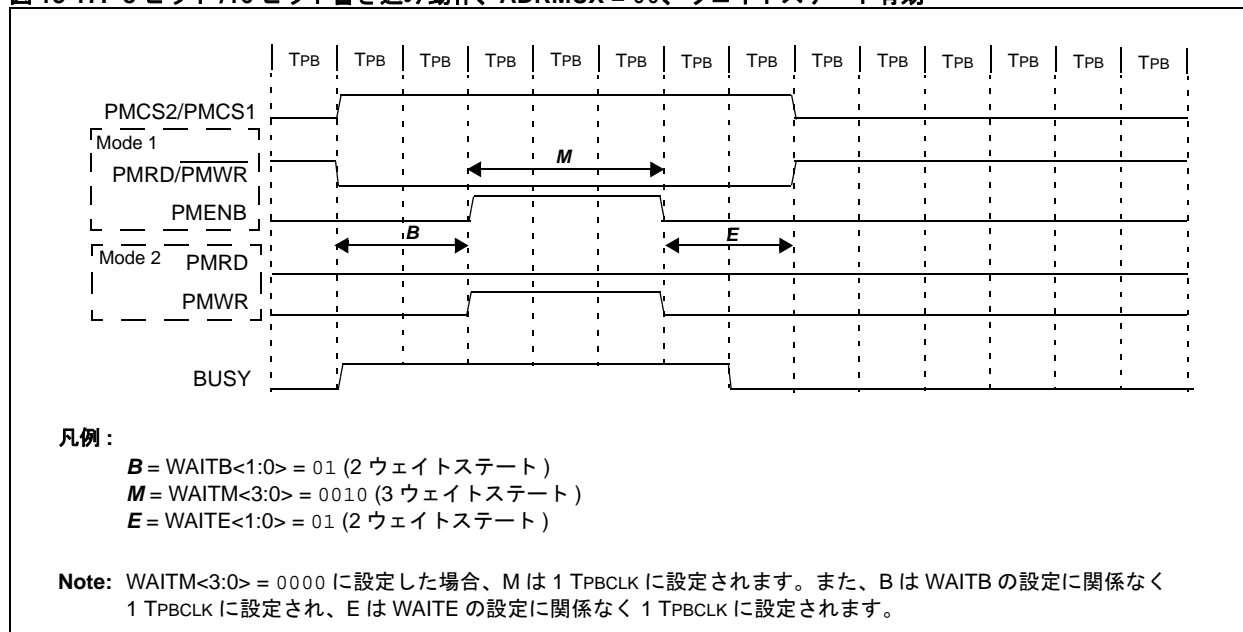
図 13-16 は、アドレスバスをデータバスに多重化しない非多重化コンフィグレーションにおけるウェイトステートなしの書き込み動作のタイミング図です。この場合、書き込み動作には 3 TPBCLK (周辺モジュール バスクロック サイクル) を要します。

図 13-16: 8 ビット /16 ビット書き込み動作、ADRMUX = 00、ウェイトステートなし



同じコンフィグレーションでウェイトステートを有効にした場合のタイミングを図 13-17 に示します。この場合、書き込み動作には 7 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-17: 8 ビット /16 ビット書き込み動作、ADRMUX = 00、ウェイトステート有効

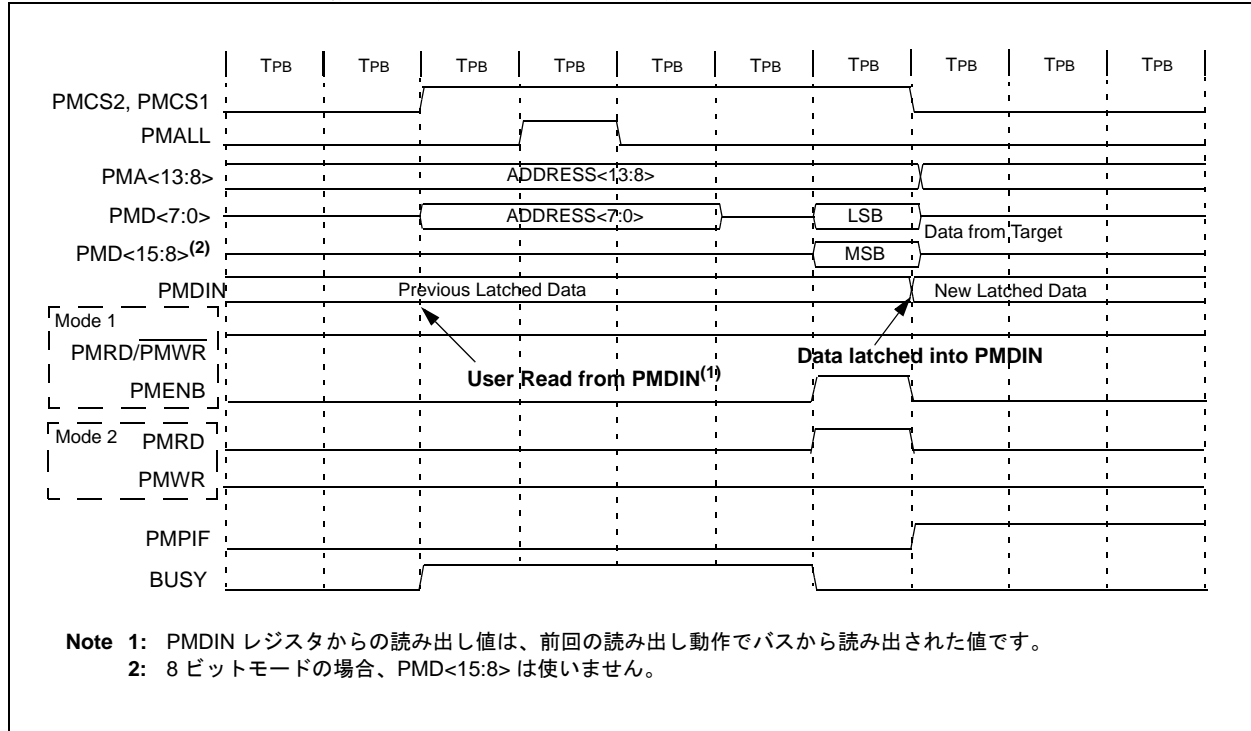


セクション 13. パラレル マスタポート (PMP)

13.3.8.2 アドレス / データ半多重化のタイミング

図 13-18 は、アドレスビット <7:0> をデータバス PMD<7:0> に多重化する半多重化コンフィグレーションにおけるウェイトステートなしの読み出し動作のタイミング図です。この場合、読み出し動作には 5 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-18: 8 ビット /16 ビット読み出し動作、ADRMUX = 01、ウェイトステートなし



同じコンフィグレーションでウェイトステートを有効にした場合のタイミングを図 13-19 に示します。この場合、読み出し動作には 10 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-19: 8 ビット /16 ビット読み出し動作、ADRMUX = 01、ウェイトステート有効

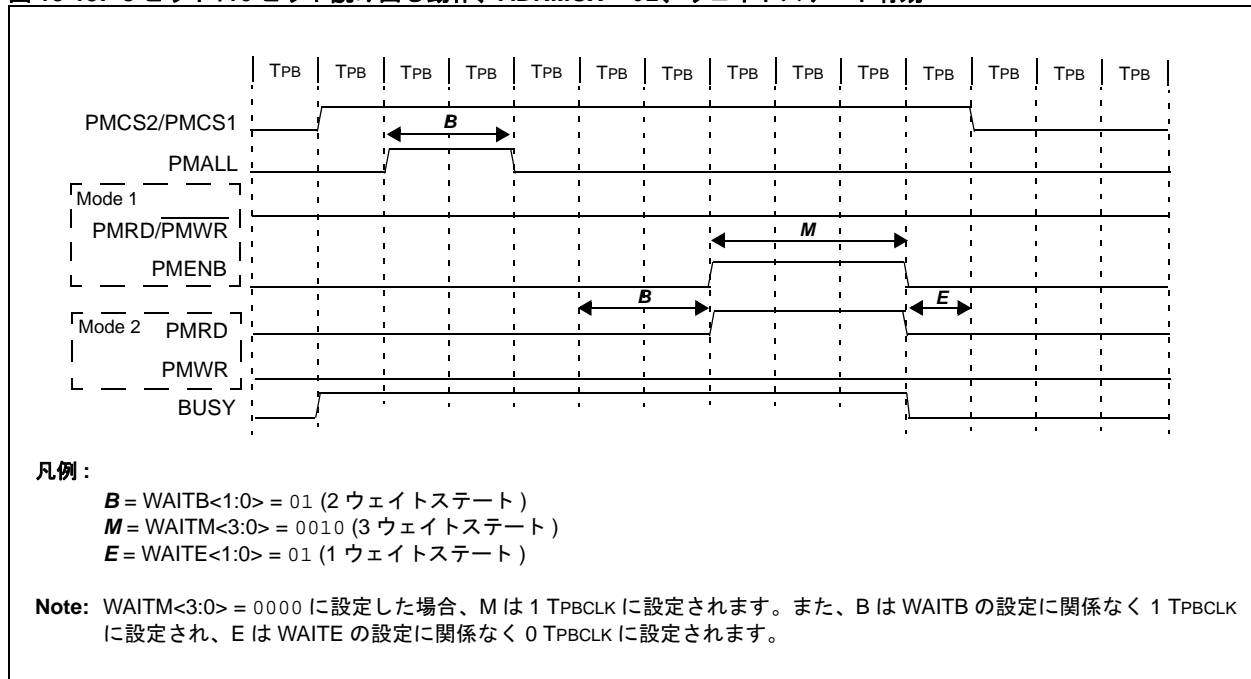
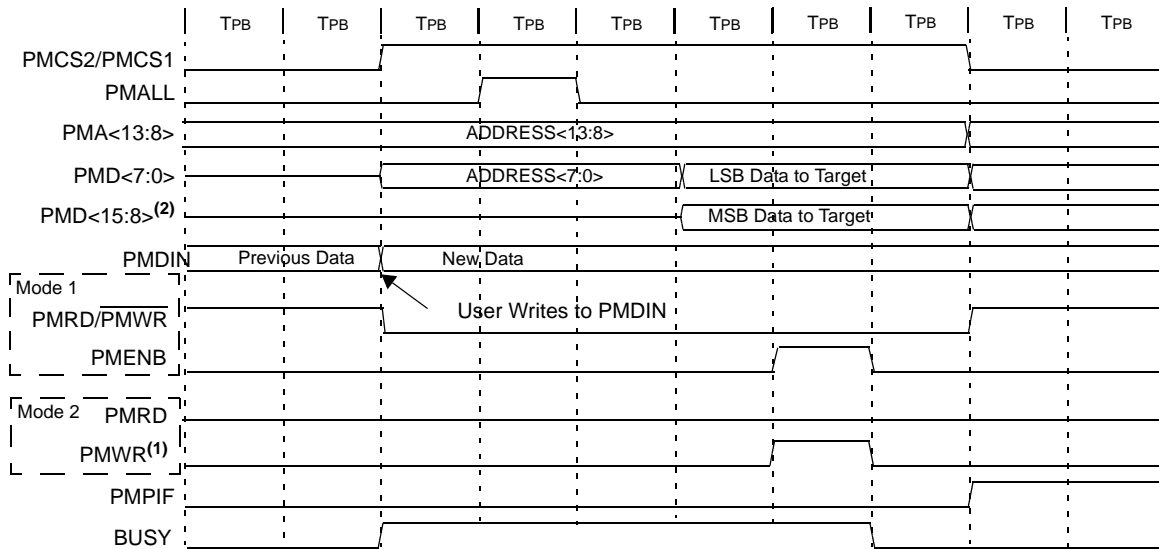


図 13-20 は、アドレスビット <7:0> をデータバス PMD<7:0> に多重化する半多重化コンフィグレーションにおけるウェイトステートなしの書き込み動作のタイミング図です。この場合、書き込み動作には 6 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

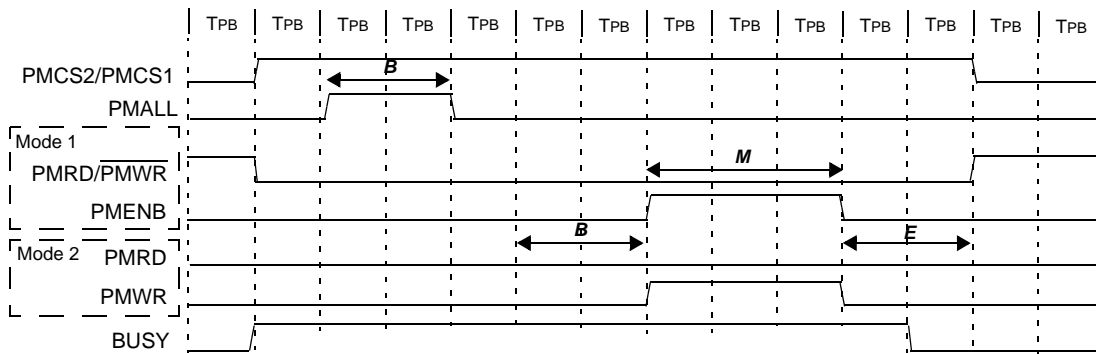
図 13-20: 8 ビット /16 ビット書き込み動作、ADRMUX = 01、ウェイトステートなし



Note 1: 書き込み動作では、PMWR 信号の後に 1TPBCLK のホールドサイクルが発生します。
2: 8 ビットモードの場合、PMD<15:8> は使いません。

同じコンフィグレーションでウェイトステートを有効にした場合のタイミングを図 13-21 に示します。この場合、書き込み動作には 11 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-21: 8 ビット /16 ビット書き込み動作、ADRMUX = 01、ウェイトステート有効



凡例:

B = WAITB<1:0> = 01 (2 ウェイトステート)
M = WAITM<3:0> = 0010 (3 ウェイトステート)
E = WAITE<1:0> = 01 (2 ウェイトステート)

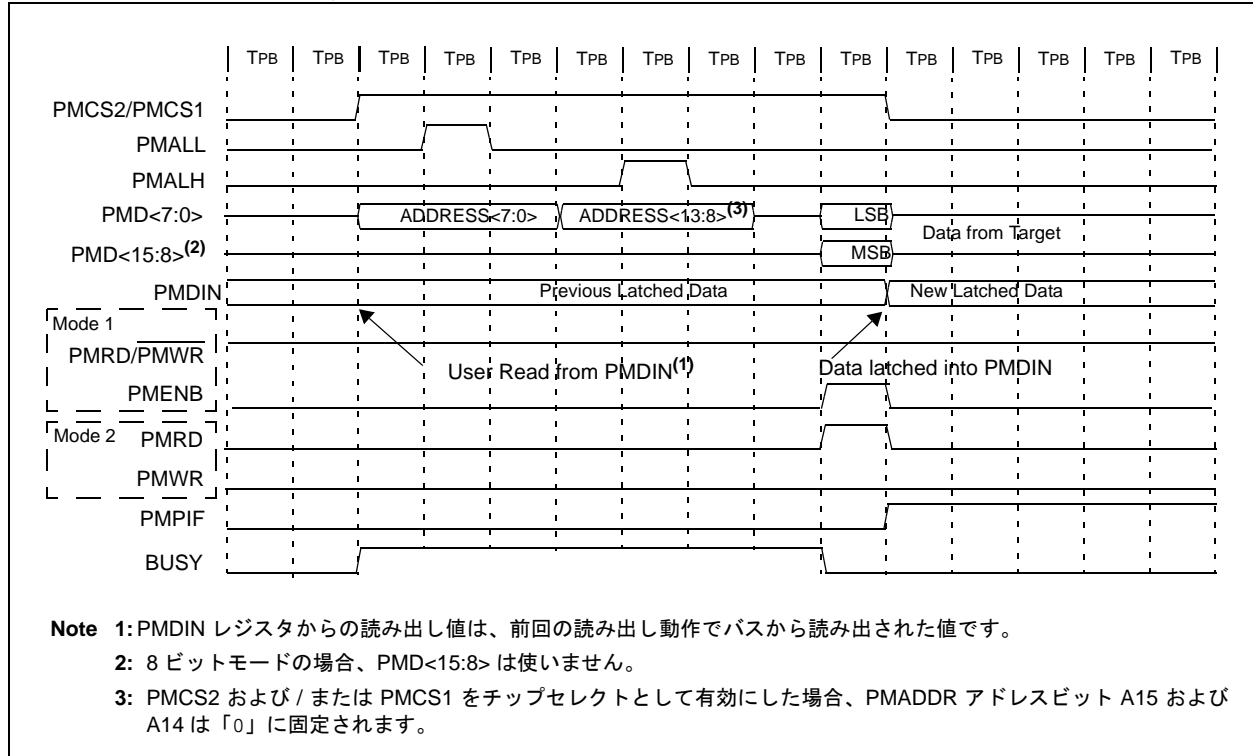
Note: WAITM<3:0> = 0000 に設定した場合、M は 1 TPBCLK に設定されます。また、B は WAITB の設定に関係なく 1 TPBCLK に設定され、E は WAITE の設定に関係なく 1 TPBCLK に設定されます。

セクション 13. パラレル マスタポート (PMP)

13.3.8.3 アドレス / データ全多重化 (8 ビットバス) のタイミング

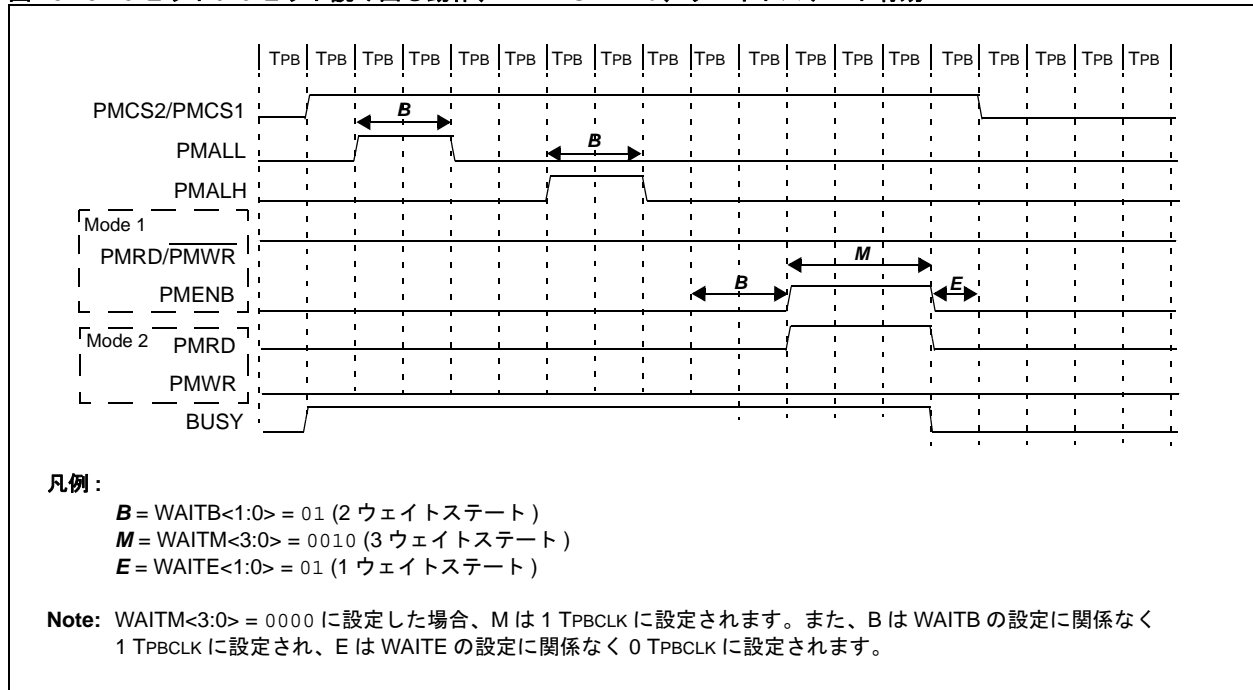
図 13-22 は、アドレスビット <15:0> をデータバス PMD<7:0> に多重化する全多重化コンフィグレーションにおけるウェイトステートなしの読み出し動作のタイミング図です。この場合、読み出し動作には 8 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-22: 8 ビット /16 ビット読み出し動作、ADRMUX = 10、ウェイトステートなし



同じコンフィグレーションでウェイトステートを有効にした場合のタイミングを図 13-23 に示します。この場合、読み出し動作には 14 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

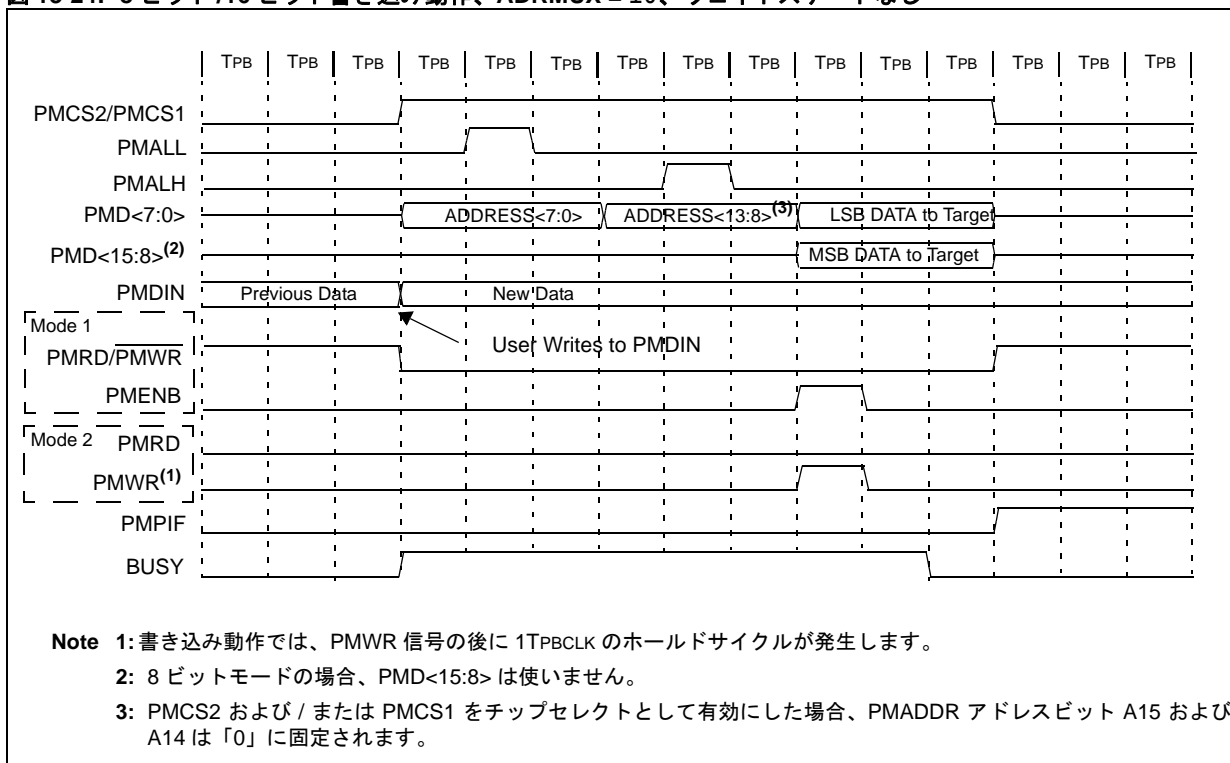
図 13-23: 8 ビット /16 ビット読み出し動作、ADRMUX = 10、ウェイトステート有効



PIC32 ファミリ リファレンス マニュアル

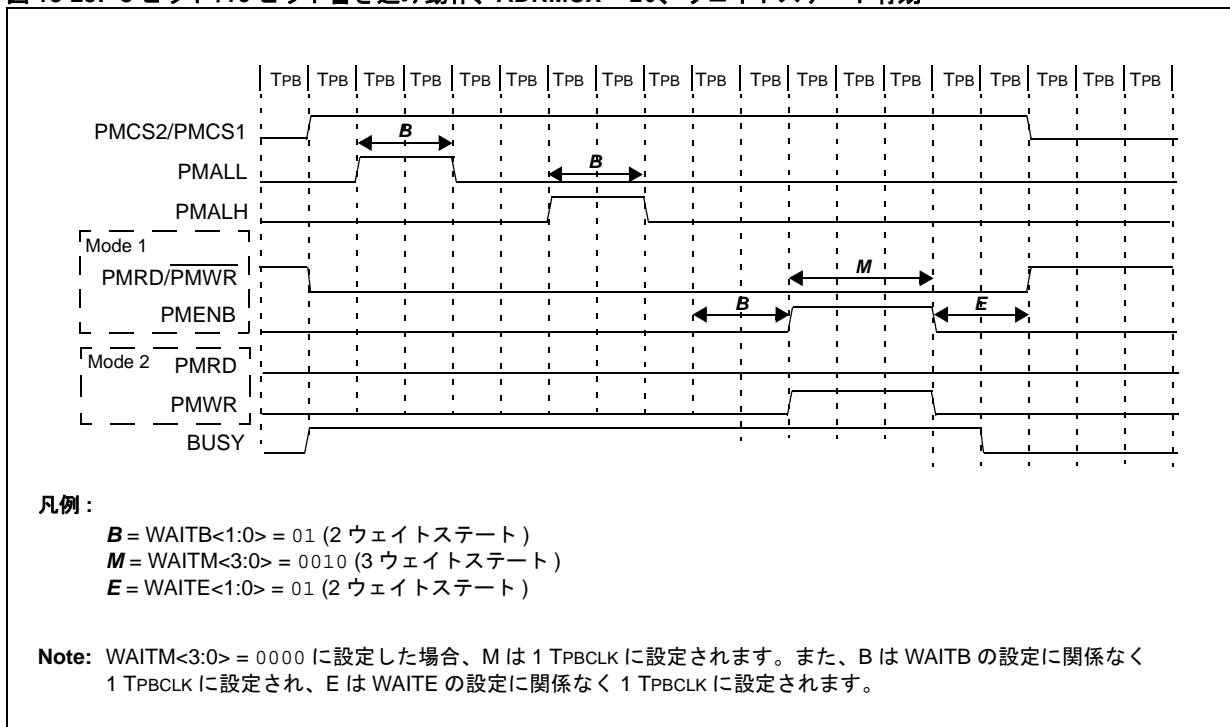
図 13-24 は、アドレスビット <15:0> をデータバス PMD<7:0> に多重化する全多重化コンフィグレーションにおけるウェイトステートなしの書き込み動作のタイミング図です。この場合、書き込み動作には 9 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-24: 8 ビット /16 ビット書き込み動作、ADRMUX = 10、ウェイトステートなし



同じコンフィグレーションでウェイトステートを有効にした場合のタイミングを図 13-25 に示します。この場合、書き込み動作には 15 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-25: 8 ビット /16 ビット書き込み動作、ADRMUX = 10、ウェイトステート有効

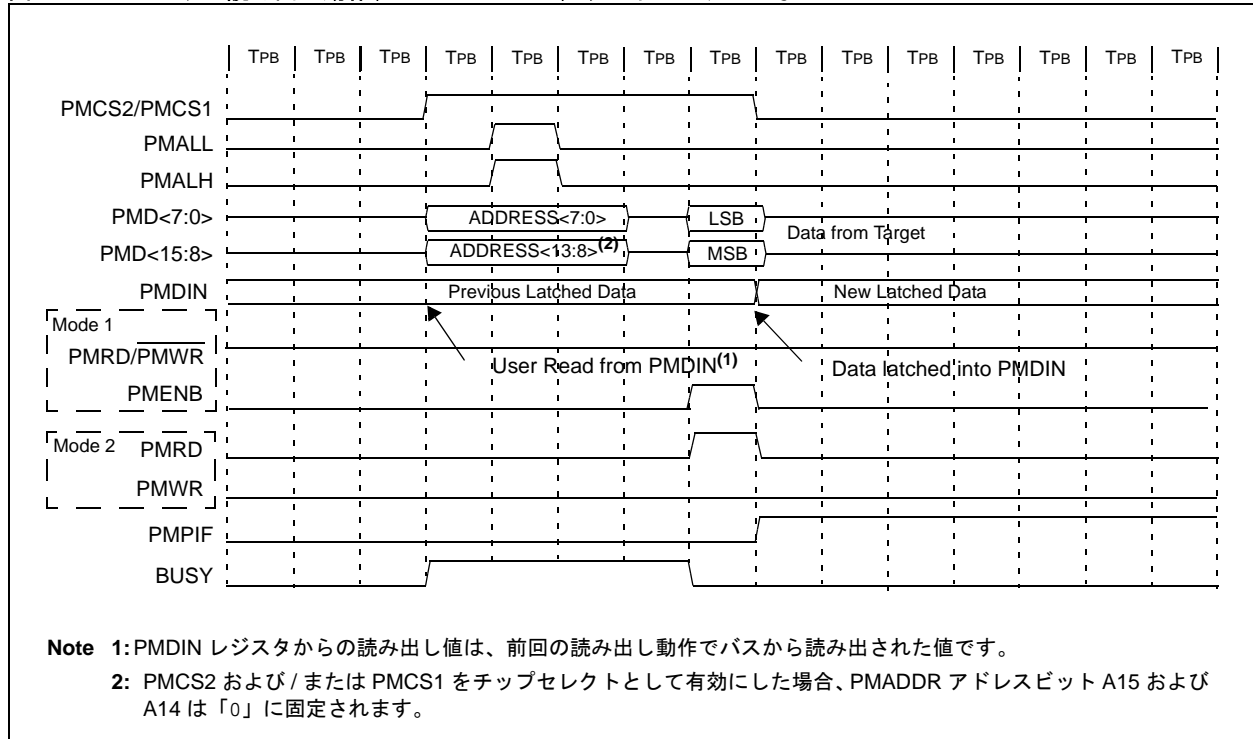


セクション 13. パラレル マスタポート (PMP)

13.3.8.4 アドレス / データ全多重化 (16 ビットバス) のタイミング

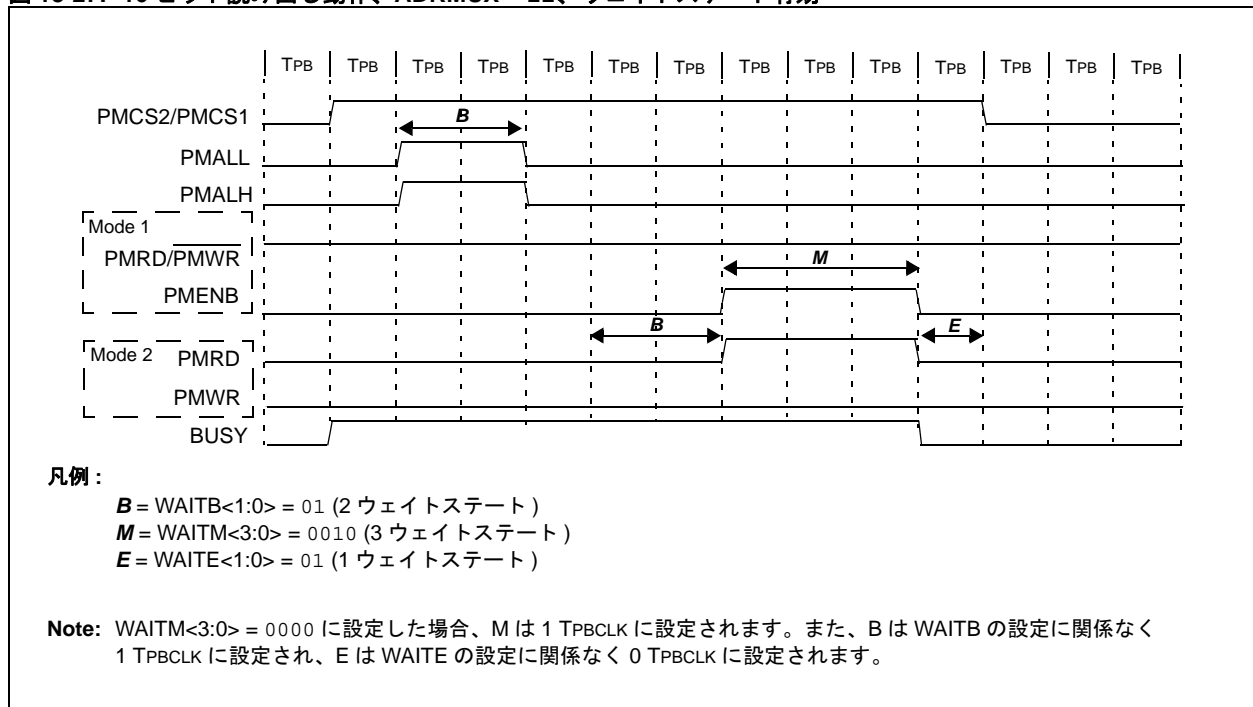
図 13-26 は、アドレスビット <15:0> をデータバス PMD<15:0> に多重化する全多重化コンフィグレーションにおけるウェイトステートなしの読み出し動作のタイミング図です。この場合、読み出し動作には 5 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-26: 16 ビット読み出し動作、ADRMUX = 11、ウェイトステートなし



同じコンフィグレーションでウェイトステートを有効にした場合のタイミングを図 13-27 に示します。この場合、読み出し動作には 10 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

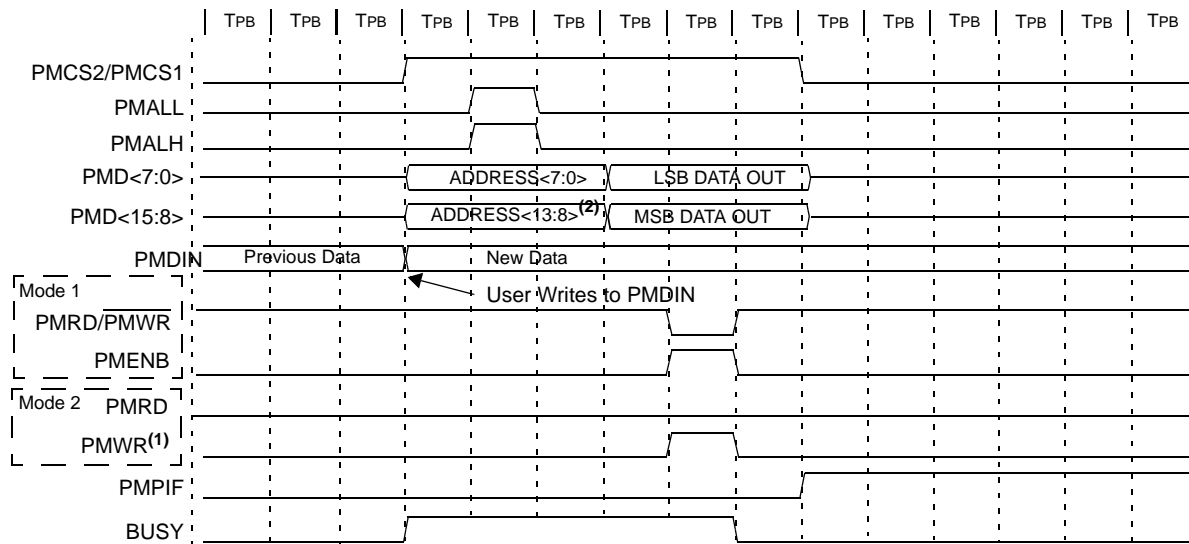
図 13-27: 16 ビット読み出し動作、ADRMUX = 11、ウェイトステート有効



PIC32 ファミリ リファレンス マニュアル

図 13-28 は、アドレスビット <15:0> をデータバス PMD<15:0> に多重化する全多重化コンフィグレーションにおけるウェイトステートなしの書き込み動作のタイミング図です。この場合、書き込み動作には 6 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

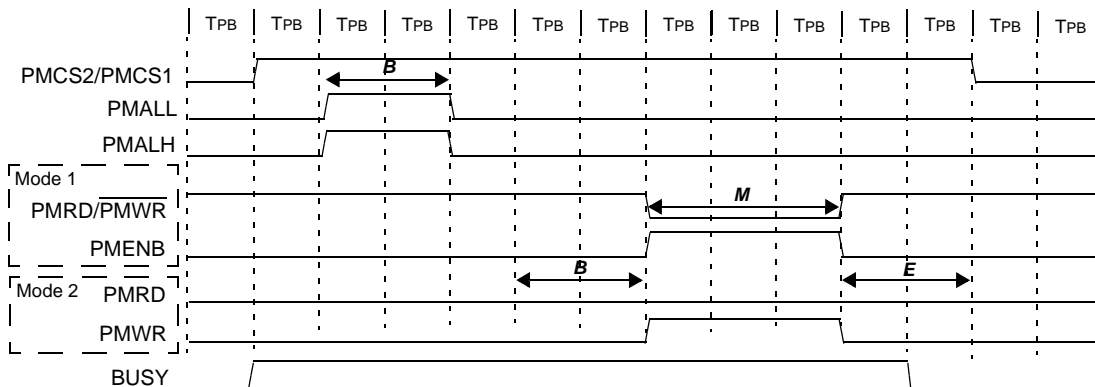
図 13-28: 16 ビット書き込み動作、ADRMUX = 11、ウェイトステートなし



- Note** 1: 書き込み動作では、PMWR 信号の後に 1TPB のホールドサイクルが発生します。
 2: PMCS2 および / または PMCS1 をチップセレクトとして有効にした場合、PMADDR アドレスビット A15 および A14 は「0」に固定されます。

同じコンフィグレーションでウェイトステートを有効にした場合のタイミングを図 13-29 に示します。この場合、書き込み動作には 11 TPBCLK(周辺モジュール バスクロック サイクル) を要します。

図 13-29: 16 ビット書き込み動作、ADRMUX = 11、ウェイトステート有効



凡例:

- $B = \text{WAITB}<1:0> = 01$ (2 ウェイトステート)
 $M = \text{WAITM}<3:0> = 0010$ (3 ウェイトステート)
 $E = \text{WAITE}<1:0> = 01$ (2 ウェイトステート)

Note: WAITM<3:0> = 0000 に設定した場合、M は 1 TPBCLK に設定されます。また B は WAITB の設定に関係なく 1 TPBCLK に設定され、E は WAITE の設定に関係なく 1 TPBCLK に設定されます。

13.4 スレーブモードの動作

本 PMP モジュールは、レガシーの 8 ビット (バイト) パラレル スレーブポート (PSP) 機能に加えて、バッファ付きスレーブモードとアドレス可能スレーブモードを新たに提供します。

表 13-7: スレーブモードの選択

| スレーブモード | PMMODE<9:8> ビット (MODE<1:0>) | PMMODE<12:11> ビット (INCM<1:0>) |
|---------|--------------------------------|----------------------------------|
| アドレス可能 | 01 | x = ドントケア |
| レガシー | 00 | x = ドントケア |
| バッファ付き | 00 | 11 |

全てのスレーブモードは 8 ビットデータのみをサポートし、どのモードを選択してもモジュール制御ピンは自動的に割り当てられます。ただし PMCS1、PMRD、PMWR 信号の極性はユーザアプリケーションで設定する必要があります。

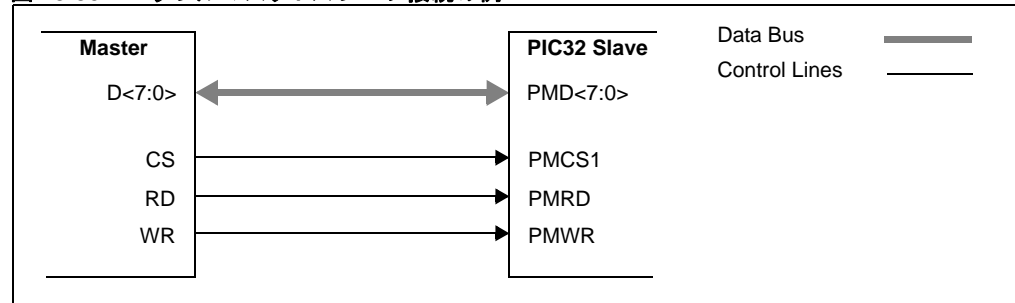
表 13-8: スレーブモードのピン極性の設定

| 制御ピン | PMCON 制御ビット | アクティブ HIGH | アクティブ LOW |
|-------|----------------|------------|-----------|
| PMRD | RDSP | 1 | 0 |
| PMWR | WRSP | 1 | 0 |
| PMCS1 | CS1P | 1 | 0 |

13.4.1 レガシー スレーブポート モード

8 ビット PMP レガシー スレーブモードの場合、制御ビット MODE<1:0> (PMMODE<9:8>) を「00」に設定する事により、モジュールを PSP として設定します。このモードでは、他のマイクロコントローラやマイクロプロセッサ等の外部デバイスは 8 ビット データバス PMD<7:0>、読み出し PMRD、書き込み PMWR、チップセレクト PMCS1 入力を使って非同期でデータを読み書きできます。

図 13-30: パラレルマスタ / スレーブ接続の例



13.4.1.1 初期化手順

下記のスレーブモード初期化手順により、PMP ポートが外部デバイスと正しく通信できるように設定します。

1. PMP モジュールを無効にする : ON 制御ビット (PMCON<15>) = 0
2. レガシーモードを選択する : MODE<1:0> ビット (PMMODE<9:8>) = 00
3. チップセレクト ピンの極性を選択する : CS1P (PMCON<3>) で選択
4. 制御ピンの極性を選択する : WRSP (PMCON<1>) と RDSP (PMCON<0>) で選択
5. 割り込みを使う場合 :
 - a) 割り込みフラグビットをクリアする : PMPIF (IFS1<2>) = 0
 - b) PMP 割り込み優先度ビット PMPIP<2:0> (IPC7<4:2>) と割り込み副優先度ビット PMPIS (IPC7<1:0>) を設定する
 - c) PMP 割り込みを有効にする : 割り込みイネーブルビット PMPIE (IEC1<2>) = 1
6. PMP モジュールを有効にする : ON 制御ビット = 1

例 13-3: レガシー パラレル スレーブポート初期化のサンプルコード

```
/*
Example configuration for Legacy Slave mode
*/
IEC1CLR = 0x0004; // Disable PMP interrupt in case it is already enabled
PMCON = 0x0008; // Stop and Configure PMCON register for Legacy mode
PMMODE = 0x0000; // Configure PMMODE register
IPC7SET = 0x001C; // Set priority level = 7 and
IPC7SET = 0x0003; // Set subpriority level = 3
// Could have also done this in single
// operation by assigning IPC7SET = 0x001F
IFS1CLR = 0x0004; // Clear the PMP interrupt status flag
IEC1SET = 0x0004; // Enable PMP interrupts
PMCONSET = 0x8000; // Enable PMP module
```

13.4.1.2 スレーブポートへの書き込み

チップセレクトがアクティブな時に書き込みストローブが発生すると、バスピン PMD<7:0> 上のデータが PMDIN レジスタの下位 8 ビット (PMDIN<7:0>) に取り込まれます。PMPIF(割り込みフラグビット) は書き込みストローブ時にセットされます。ユーザ アプリケーションが PMDIN レジスタを読み出すまで、IB0F ビットはセットされたままです。IB0F = 1 の時に書き込み動作が発生すると、書き込みデータは無視され、オーバーフロー条件 (IB0V = 1) が生成されます。13.4.4「スレーブモードの読み / 書きタイミング図」に記載したタイミング図を参照してください。

13.4.1.3 スレーブポートからの読み出し

チップセレクトがアクティブな時に読み出しストローブが発生すると、PMDOUT レジスタの下位 8 ビット (PMDOUT<7:0>) がデータバスピン PMD<7:0> に出力され、マスタデバイスによって読み出されます。PMPIF(割り込みフラグビット) は読み出しストローブ時にセットされます。ユーザ アプリケーションが PMDOUT レジスタに書き込むまで、OB0E ビットはセットされたままです。OB0E = 1 の時に読み出し動作が発生すると、前回の読み出しデータと同じデータが読み出され、アンダーフロー条件 (OBUF = 1) が生成されます。13.4.4「スレーブモードの読み / 書きタイミング図」に記載したタイミング図を参照してください。

13.4.1.4 レガシーモードの割り込み動作

PMP レガシー スレーブモードでは、読み / 書きストローブのたびに PMPIF ビットがセットされます。割り込みを使う場合、ユーザ アプリケーションは割り込みサービスルーチン (ISR) へジャンプし、そこで IBF および OBE ステータスビットを確認する事によってバッファのフル / エンプティを判定できます。割り込みを使わない場合、ユーザ アプリケーションは PMPIF ビットがセットされるまで待機し、その後に IBF および OBE ステータスビットをポーリングしてバッファのフル / エンプティを判定する必要があります。

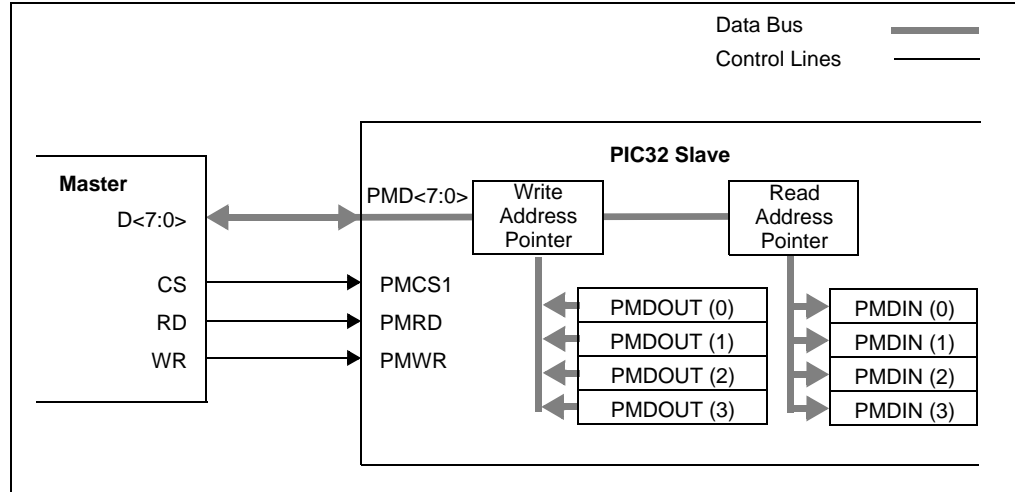
Note: PMP の永続的割り込みの場合、WR 信号の立ち下がりエッジで割り込みが生成されます (WR 信号の極性をアクティブ HIGH に設定している場合)。PMP の非永続的割り込みの場合、WR 信号の立ち上がりエッジで割り込みが生成されます (WR 信号の極性をアクティブ HIGH に設定している場合)。ファームウェアは、PMP モジュールからデータを読み出す前に、そのデータが有効である事を確認するために IBF または IBnF ビットをポーリングする必要があります。

13.4.2 バッファ付きパラレル スレーブポート モード

8 ビットのバッファ付きパラレル スレーブポート モードは、4 段の読み / 書きバッファを使うという点を除けば、レガシー パラレル スレーブポート モードと機能的に同じです。バッファ付きスレーブモードは、MODE<1:0> ビット (PMMODE<9:8>) = 00 かつ INCM<1:0> ビット (PMMODE<12:11>) = 11 に設定すると有効になります。

バッファ付きモードを有効にすると、モジュールは PMDIN レジスタを書き込みバッファとして使い、PMDOUT レジスタを読み出しバッファとして使います。PMDOUT レジスタは 4 つの 8 ビット読み出しバッファ、PMDIN レジスタは 4 つの 8 ビット書き込みバッファに分割されます。各バッファには、最下位バイト <7:0> から最上位バイト <31:24> に向かって 0 ~ 3 の番号が付けられます。

図 13-31: バッファ付きパラレル マスタ / スレーブ接続の例



13.4.2.1 初期化手順

下記のバッファ付きスレーブモード初期化手順により、PMP ポートが外部デバイスと正しく通信できるように設定します。

1. PMP モジュールを無効にする : ON 制御ビット (PMCON<15>) = 0
2. レガシーモードを選択する : MODE<1:0> ビット (PMMODE<9:8>) = 00
3. バッファ付きモードを選択する : INCM<1:0> ビット (PMMODE<12:11>) = 11
4. チップセレクトの極性を選択する : CS1P ビット (PMCON<3>) で選択
5. 制御ピンの極性を選択する : WRSP ビット (PMCON<1>) と RDSP ビット (PMCON<0>) で選択
6. 割り込みを使う場合 :
 - a) 割り込みフラグビット PMPIF (IFS1<2>) をクリアする
 - b) IPC7 レジスタで割り込み優先度と副優先度を設定する
 - c) 割り込みイネーブルビット PMPIE (IEC1<2>) をセットする
7. PMP モジュールを有効にする : ON 制御ビット = 1

例 13-4: バッファ付きパラレル スレーブポート初期化のサンプルコード

```
/* Example configuration for Buffered Slave mode */

IEC1CLR = 0x0004 // Disable PMP interrupt in case it is already enabled
PMCON = 0x0000 // Stop and configure PMCON register for Buffered mode
PMODE = 0x1800 // Configure PPMODE register
IPC7SET = 0x001C // Set priority level = 7 and
IPC7SET = 0x0003 // Set subpriority level = 3
// Could have also done this in single operation by
// by assigning IPC7SET = 0x001F
IFS1CLR = 0x0004 // Clear the PMP interrupt status flag
IEC1SET = 0x0004 // Enable PMP interrupts
PMCONSET = 0x8000 // Enable the PMP module
```

13.4.2.2 スレーブポートからの読み出し

読み出し動作では、読み出しストローブのたびにバッファ 0 (PMDOUT<7:0>) からバッファ 3 (PMDOUT<31:24>) に向かって 1 バイトずつ順番に出力されます。バッファを正しい順序で読み出すために、モジュールは内部ポインタを保持します。

各バッファに対応する読み出しステータスビット (OBN_E) は PMSTAT レジスタに格納されています。このステータスビットは、バッファ内のデータがバスに書き出されるまでクリア状態を維持し、データがバスに書き出されるとセットされます。読み出し中のバッファ位置がエンプティである場合、バッファ アンダーフローが発生し、バッファ アンダーフロー フラグビット OBUF がセットされます。4 つの OBN_E ステータスビットが全てセットされると、エンプティフラグ OBE がセットされます。13.4.4 「スレーブモードの読み / 書きタイミング図」に記載したタイミング図を参照してください。

13.4.2.3 スレーブポートへの書き込み

書き込み動作では、バッファ 0 (PMDIN<7:0>) からバッファ 3 (PMDIN<31:24>) に向かってデータを順番に保存します。読み出し動作と同様に、モジュールは次に書き込むべきバッファを指す内部ポインタを保持します。

各入力バッファは、それぞれの書き込みステータスビット IBnF を備えます。このビットは、対応するバッファ内のデータが読み出されるまでセットされたままであり、データが読み出されるとクリアされます。このフラグビットは書き込みストローブ時にセットされます。IBnF ビットが既にセットされているバッファに書き込みが発生すると、バッファ オーバーフロー フラグ (IBOV) がセットされ、バッファへの書き込みデータは失われます。4 つの IBnF フラグが全てセットされると、入力バッファフル フラグ (IBF) がセットされます。13.4.4「スレーブモードの読み / 書きタイミング図」に記載したタイミング図を参照してください。

13.4.2.4 バッファ付きモードの割り込み動作

バッファ付きスレーブモードでは、読み出しまたは書き込みストローブのたびに割り込みを生成するよう設定できます (IRQM<1:0> ビット (PMODE<14:13>) = 01)。あるいは、読み出しバッファ 3 からの読み出し、または、書き込みバッファ 3 への書き込み時にのみ割り込みを生成するよう設定する事も可能です (IRQM<1:0> = 10)。この場合、4 回の読み出しまたは書き込みストローブに対して 1 回の割り込みを生成します。入力データ 4 バイトあたり 1 回の割り込みを生成する場合、全ての入力バッファレジスタを読み出すまで各 IBnF フラグはクリアされません。これらのフラグがクリアされていない場合、オーバーフロー条件が発生する危険性があります。

割り込みを使う場合、ユーザ アプリケーションは割り込みサービスルーチン (ISR) ヘジャンプし、そこで IBF および OBE ステータスビットを確認する事によってバッファのフル / エンプティを判定できます。割り込みを使わない場合、ユーザ アプリケーションは PMPIF ビットがセットされるまで待機し、その後に IBF および OBE ステータスビットをポーリングしてバッファのフル / エンプティを判定する必要があります。

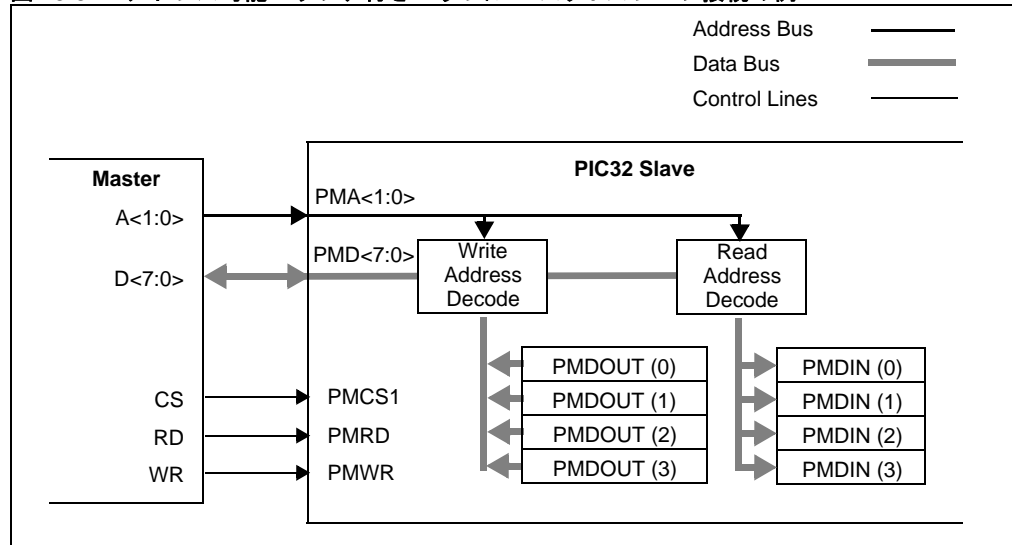
13.4.3 アドレス可能バッファ付きパラレル スレーブポート モード

8 ビットのアドレス可能バッファ付きパラレル スレーブポートモードでは、2 つの追加入力 (PMA<1:0>) を使ってモジュールを設定します。これにより、4 バイトのバッファ空間を、固定された読み / 書きバッファのペアとして直接アドレッシングできます。バッファ付きレガシーモードと同様に、データは PMDOUT レジスタから出力され、PMDIN レジスタに入力されます。表 13-9 に、入力および出力レジスタのアドレス割り当てを示します。

表 13-9: スレーブモード バッファアドレス

| PMA<1:0> | 出力レジスタ (バッファ) | 入力レジスタ (バッファ) |
|----------|-------------------|------------------|
| 11 | PMDOUT<31:24> (3) | PMDIN<31:24> (3) |
| 10 | PMDOUT<23:16> (2) | PMDIN<23:16> (2) |
| 01 | PMDOUT<15:8> (1) | PMDIN<15:8> (1) |
| 00 | PMDOUT<7:0> (0) | PMDIN<7:0> (0) |

図 13-32: アドレス可能バッファ付きパラレル マスタ / スレーブ接続の例



13.4.3.1 初期化手順

下記のアドレス可能バッファ付きスレーブモード初期化手順により、PMP ポートが外部デバイスと正しく通信できるように設定します。

1. PMP モジュールを無効にする : ON 制御ビット $PMCON<15> = 0$
2. 拡張スレーブモードを選択する : $MODE<1:0>$ ビット ($PMMODE<9:8> = 01$)
3. チップセレクトの極性を選択する : $CS1P$ ビット ($PMCON<3>$) で選択
4. 制御ピンの極性を選択する : $WRSP$ ビット ($PMCON<1>$) と $RDSP$ ビット ($PMCON<0>$) で選択
5. 割り込みを使う場合 :
 - a) 割り込みフラグビット $PMPIF$ ($IFS1<2>$) をクリアする
 - b) $IPC7$ レジスタで割り込み優先度と副優先度を設定する
 - c) 割り込みイネーブルビット $PMPIE$ ($IEC1<2>$) をセットする
6. PMP モジュールを有効にする : ON 制御ビット $= 1$

例 13-5: アドレス可能パラレル スレーブポート初期化のサンプルコード

```
/* Example configuration for Addressable Slave mode */

IEC1CLR = 0x0004 // Disable PMP interrupt in case it is already enabled
PMCON = 0x0000 // Stop and configure PMCON register for Address mode
PMMODE = 0x0100 // Configure PMMODE register
IPC7SET = 0x001C // Set priority level = 7 and
IPC7SET = 0x0003 // Set subpriority level = 3
// Could have also done this in single operation
// by assigning IPC7SET = 0x001F
IFS1CLR = 0x0004 // Clear the PMP interrupt status flag
IEC1SET = 0x0004 // Enable PMP interrupts
PMCONSET = 0x8000 // Enable the PMP module
```

13.4.3.2 スレーブポートからの読み出し

チップセレクトがアクティブな時に読み出しストローブが発生すると、4つの8ビット出力バッファのいずれか 1 つから $PMD<7:0>$ にデータが出力されます。どのバイトを読み出すかは、 $PMA<1:0>$ で設定されている 2 ビットアドレスによって決まります。各出力レジスタのアドレス割り当ては表 13-9 を参照してください。いずれかの出力バッファを読み出すと、そのバッファの $OBnE$ ビットがセットされます。全てのバッファがエンプティになると OBE フラグビットがセットされます。既にエンプティ ($OBnE = 1$) になっているバッファを読み出すと $OBUF$ イベントが発生します。13.4.4「スレーブモードの読み / 書きタイミング図」に記載したタイミング図を参照してください。

13.4.3.3 スレーブポートへの書き込み

チップセレクトがアクティブな時に書き込みストローブが発生 ($PMCS = 1$ かつ $PMWR = 1$) すると、 $PMD<7:0>$ から 4 つの入力バッファバイトのいずれか 1 つにデータが取り込まれます。どのバイトに書き込むかは、 $ADDR<1:0>$ で設定されている 2 ビットアドレスによって決まります。各入力レジスタのアドレス割り当ては表 13-9 を参照してください。

入力バッファが書き込まれると、そのバッファの $IBnF$ ビットがセットされます。全てのバッファが書き込まれると IBF フラグビットがセットされます。既に書き込み済み ($IBnF = 1$) のバッファに対する書き込みストローブは $IBOV$ イベントを生成し、そのバイトは破棄されます。13.4.4「スレーブモードの読み / 書きタイミング図」に記載したタイミング図を参照してください。

13.4.3.4 アドレス可能バッファ付きモードの割り込み動作

アドレス可能スレーブモードでは、読み出しまたは書き込みストローブのたびに割り込みを生成するよう設定できます ($IRQM<1:0>$ ビット ($PMMODE<14:13> = 01$)。あるいは、読み出しバッファ 3 からの読み出しまたは書き込みバッファ 3 への書き込み時にのみ割り込みを生成するよう設定する事も可能です ($IRQM<1:0> = 10$)。この場合、 $PMA<1:0>$ が「11」の時に読み出しまたは書き込みが発生すると割り込みが発生します。

割り込みを使う場合、ユーザ アプリケーションは割り込みサービスルーチン (ISR) ヘジャンプし、そこで IBF および OBE ステータスビットを確認する事によってバッファのフル / エンプティを判定できます。割り込みを使わない場合、ユーザ アプリケーションは $PMPIF$ ビットがセットされるまで待機し、その後に IBF および OBE ステータスビットをポーリングしてバッファのフル / エンプティを判定する必要があります。

13.4.4 スレーブモードの読み/書きタイミング図

どのスレーブモードでも、パラレル スレーブポートに接続されている外部のマスタデバイスが読み/書き動作を制御します。外部のマスタデバイスが外部読み/書き動作を実行すると、PMRD または PMWR ピンのアクティブエッジで PMPIF ビット (IFS1<2>) がセットされます。

- 外部書き込み動作では、PMDIN レジスタにアクセスする前に書き込み動作が完了するよう適切な時間を確保するために、ユーザ アプリケーションは IBOV または IB0F バッファステータスビットをポーリングする必要があります。
- 外部読み出し動作では、PMDOUT レジスタにアクセスする前に読み出し動作が完了するよう適切な時間を確保するために、ユーザ アプリケーションは OBUF または OB0E バッファステータスビットをポーリングする必要があります。

図 13-33: パラレル スレーブポートの書き込み動作

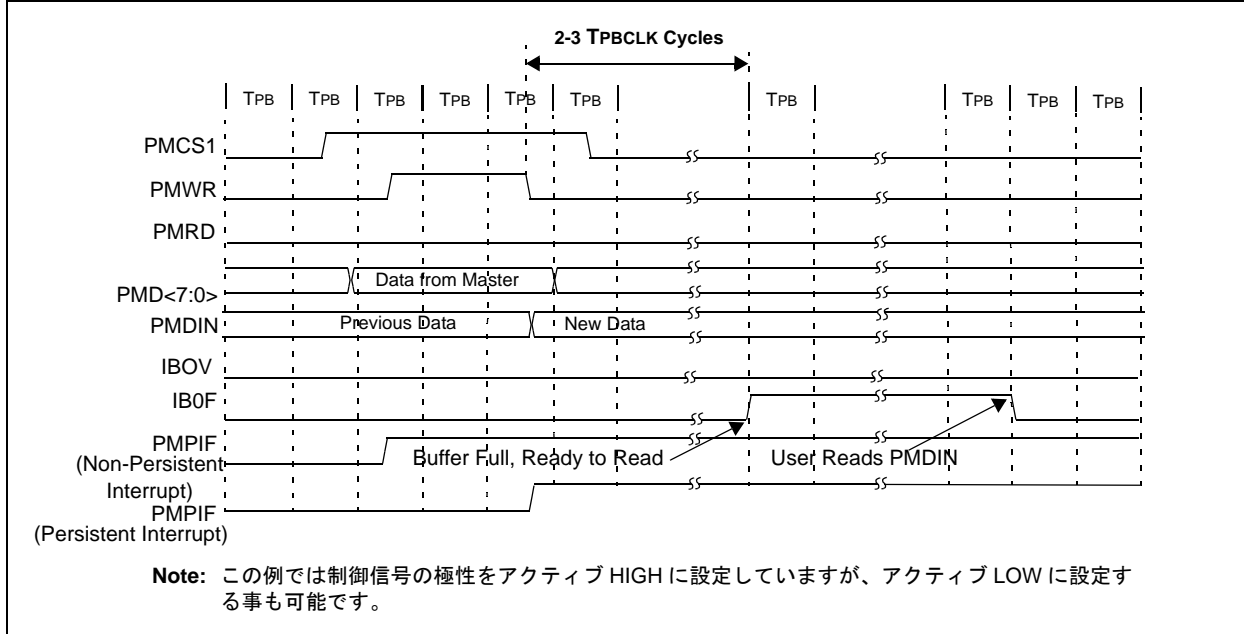
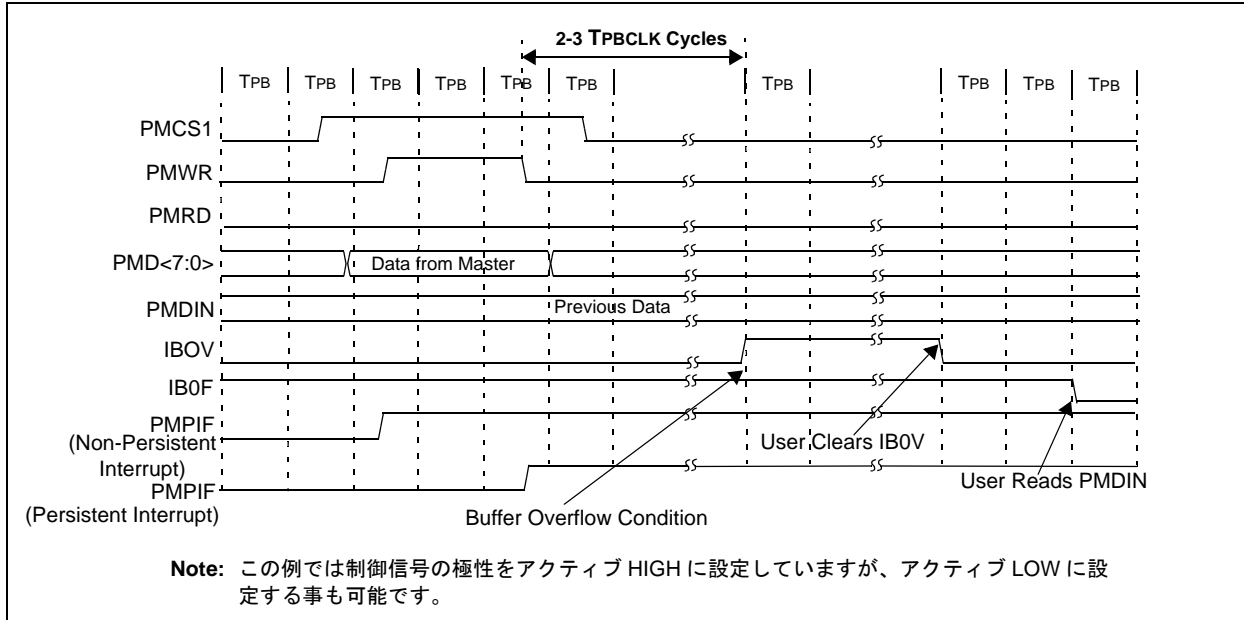


図 13-34: パラレル スレーブポートの書き込み動作 – バッファフル、オーバーフロー条件



セクション 13. パラレル マスタポート (PMP)

図 13-35: パラレル スレーブポートの読み出し動作

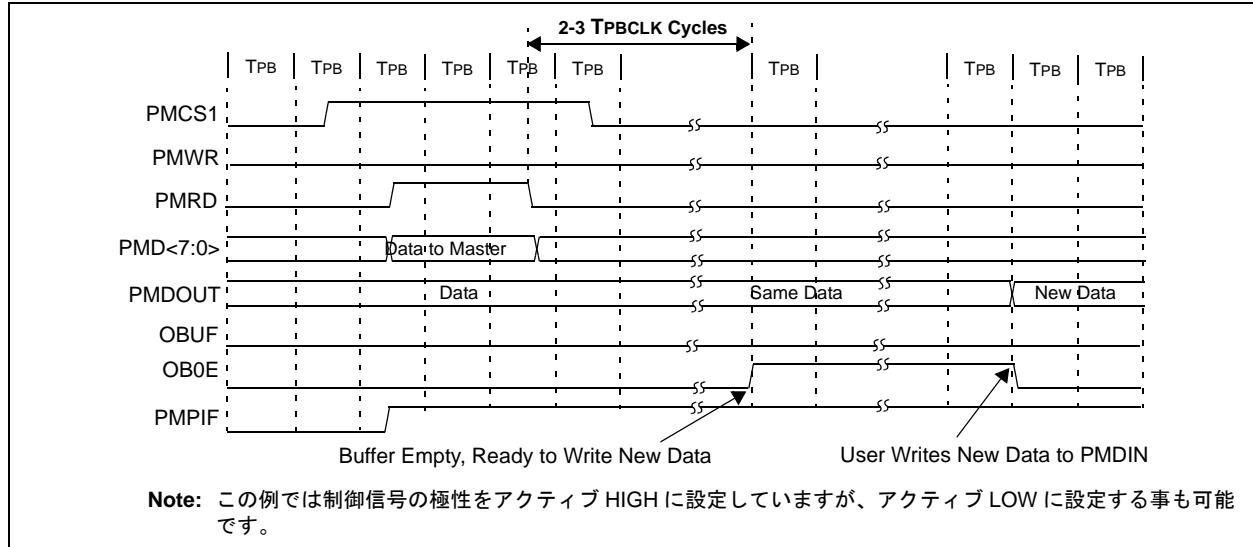
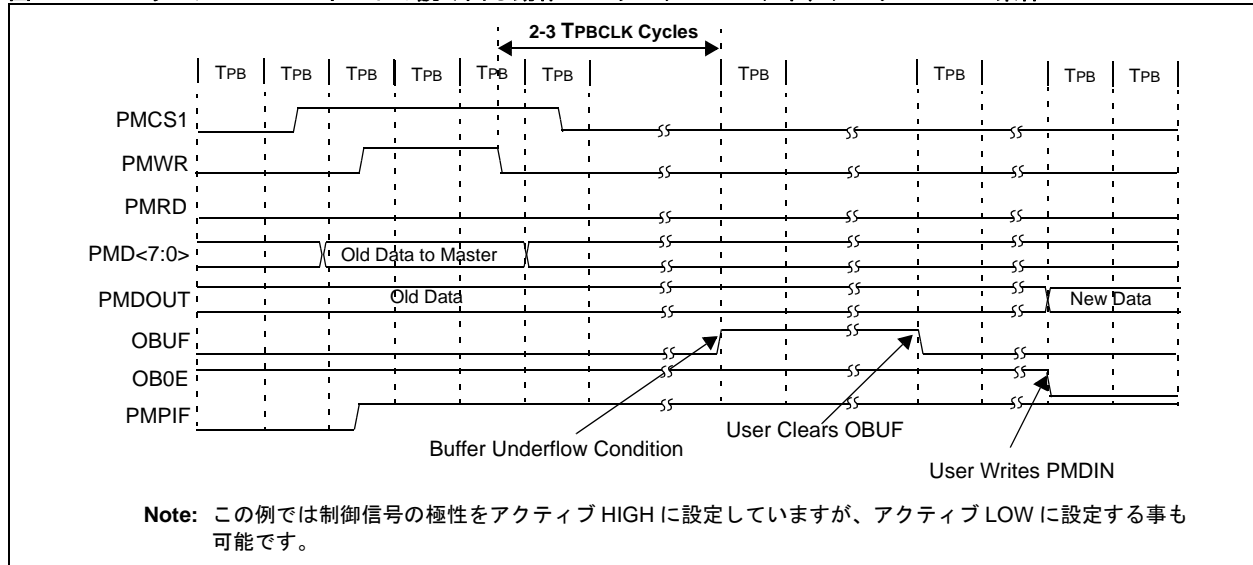


図 13-36: パラレル スレーブポートの読み出し動作 – バッファエンプティ、アンダーフロー条件



13.5 割り込み

パラレル マスタポート モジュールは、動作モードに応じて下記のように割り込みを生成できます。

- PMP (マスタ) モード：
読み / 書き動作が完了するたびに割り込む
- PSP (レガシー スレーブ) モード：
1 バイトを読み / 書きするたびに割り込む
- PSP (バッファ付きスレーブ) モード：
 - 1 バイトを読み / 書きするたびに割り込む
 - バッファ 3 (PMDOUT<31:24>) のバイトを読み / 書きするたびに割り込む
- EPSP (拡張アドレス可能スレーブ) モード：
 - 1 バイトを読み / 書きするたびに割り込む
 - バッファ 3 (PMDOUT<31:24>) のバイトを読み / 書きするたびに割り込む (PMA<1:0> = 11)

PMPIF ビットはソフトウェアでクリアする必要があります。

PMP モジュールを割り込み要因として有効にするには、PMP 割り込みイネーブルビット (PMPIE) をセットする必要があります。割り込み優先度ビット (PMPIP<2:0>) と割り込み副優先度ビット (PMPIS<1:0>) も設定する必要があります。詳細は **セクション 8. 「割り込み」** (DS61108) を参照してください。

13.5.1 割り込みの設定

PMP モジュールは、専用の割り込みフラグビット (PMPIF) と、割り込みイネーブル / マスクビット (PMPIE) を備えます。これらのビットは、割り込み要因を特定するためと、対応する割り込み要因を有効または無効にするために使います。

PMPIE ビットは、対応する PMPIF ビットがセットされた時のベクタ割り込みコントローラまたは割り込みコントローラの挙動を定義するために使います。PMPIE ビットがクリアされている場合、割り込みコントローラ モジュールは CPU 割り込みを生成しません。PMPIE ビットがセットされている場合、PMPIF ビットがセットされると割り込み コントローラ モジュールは CPU に対して割り込みを生成します (後述の優先度と副優先度に従う)。

割り込みをサービスするユーザ ソフトウェア ルーチンは、サービスルーチンを完了する前に適切な割り込みフラグビットをクリアする必要があります。

PMP モジュールの割り込み優先度は、PMPIP<2:0> ビットで設定します。この優先度は、割り込み要因をどの優先度グループに割り当てるのかを定義します。各優先度グループは 7 (最優先) から 0 (割り込みを生成しない) の優先度を持ちます。ある割り込みをサービスしている時に、これよりも高い優先度を持つグループに属する割り込みが発生した場合、サービス中の割り込みは保留されます。

副優先度ビットにより、同一優先度グループに属する割り込み要因に異なる優先度を設定できます。副優先度の値 (PMPIS<1:0>) は、3 (最優先) から 0 (最低優先度) の間で設定できます。ある割り込みのサービス中に、優先度グループが同じで副優先度がより高い割り込みが発生しても、サービス中の副優先度の低い割り込みは保留されません。

複数の割り込み要因に同一の優先度と副優先度を割り当てる事もできます。そのように同じ優先度 / 副優先度に設定された複数の割り込みが同時に発生した場合、それらの各割り込み要因が持つ自然順序優先度によって、生成される割り込みが決まります。自然順序優先度は割り込み要因のベクタ番号に基づきます。ベクタ番号が小さいほど、割り込みの自然順序優先度が高くなります。自然順序優先度に従って保留された割り込み要因は、サービス中の割り込みの割り込みフラグがクリアされた後に、優先度、副優先度、自然順序優先度に基づいて、順次割り込みを生成します。

有効な割り込みが発生すると、CPU はその割り込みに割り当てられているベクタヘジャンプします。割り込みのベクタ番号がそのまま自然優先順位となります。CPU は、ジャンプ先のベクタアドレスからコードの実行を始めます。このベクタアドレスから始まるユーザコードは、任意のアプリケーション動作を実行し、PMPIF 割り込みフラグをクリアした後に終了する必要があります。割り込みとベクタアドレスの詳細は **セクション 8. 「割り込み」** (DS61108) を参照してください。

セクション 13. パラレル マスタポート (PMP)

例 13-6: PMP モジュールの割り込み初期化のサンプルコード

```
/* This code example illustrates a PMP interrupt configuration.
When the PMP interrupt is generated, the CPU will branch to the vector assigned to PMP
interrupt.*/

// Configure PMP for desired mode of operation
...
// Configure the PMP interrupts
IPC7SET = 0x0014; // Set priority level = 5
IPC7SET = 0x0003; // Set subpriority level = 3
                // Could have also done this in single
                // operation by assigning IPC7SET = 0x0017

IFS1CLR = 0x0004; // Clear the PMP interrupt status flag
IEC1SET = 0x0004; // Enable PMP interrupts
PMCONSET = 0x8000; // Enable the PMP module
```

例 13-7: PMP ISR のサンプルコード

```
/* This code example demonstrates a simple Interrupt Service Routine for PMP
interrupts. The user's code at this vector should perform any application specific
operations and must clear the PMP interrupt status flag before exiting.*/

void __ISR(_PMP_VECTOR, ipl5) PMP_HANDLER(void)
{
    ... perform application specific operations in response to the interrupt

    IFS1CLR = 0x0004; // Be sure to clear the PMP interrupt status
    // flag before exiting the service routine.
}
```

Note: PMP ISR のサンプルコードは MPLAB® C32 C コンパイラ向けの構文で書かれています。ISR のサポートについては、ご使用になるコンパイラのマニュアルを参照してください。

13.6 省電力モードとデバッグモード時の動作

13.6.1 スリープモード時の PMP の動作

デバイスがスリープモードに移行するとシステムクロックは停止します。スリープモードの影響は、スリープモード起動時のモジュールの動作モードによって異なります。

13.6.1.1 PMP 動作 – マスタモード中のスリープ

PMP モジュールがマスタモードで動作している時にデバイスがスリープモードに移行すると、PMP 動作はクロック動作が再開するまで現在の状態で保留されます。これにより予期せぬ制御ピンタイミングが生じる可能性があるため、モジュールの連続使用が必要な場合はスリープモードへの移行を避けるべきです。

13.6.1.2 PMP 動作 – スレーブモード中のスリープ

モジュールは非アクティブ状態であっても、そのモジュールでいずれかのスレーブモード動作が有効になっていれば、スリープモード中に発生する読み / 書き動作はマイクロコントローラのクロックを使わずに実行可能です。読み / 書き動作が完了すると、モジュールは IRQM ビットの設定に従って割り込みを生成します。

PMPIE ビットがセットされており、かつその優先度が現在の CPU 優先度よりも高い場合、デバイスはスリープまたはアイドルモードから復帰し、PMP 割り込みサービスルーチンを実行します。

PMP 割り込みに割り当てられている優先度が現在の CPU 優先度以下である場合、CPU は復帰しないまま、デバイスはアイドルモードに移行します。

13.6.2 アイドルモード時の PMP 動作

デバイスがアイドルモードに移行しても、システムクロック源は機能し続けます。アイドルモード時にモジュールの機能を停止するかどうかは、SIDL ビット (PMCON<13>) で選択します。SIDL = 0 の場合、モジュールはアイドルモード中も動作を続けます。

SIDL = 1 の場合、マイクロコントローラがアイドルモードに移行するとモジュールは通信を停止します (スリープモード時の挙動と同じ)。スレーブモードの場合、実行中のトランザクションを完了した後に割り込みを生成します。マスタモードの場合、クロックが正常に再開するまで実行中のトランザクションを保留します。モジュールをマスタモードで連続使用する必要がある場合、スリープモードと同様にアイドルモードへの移行も避けるべきです。

13.7 各種リセットの影響

13.7.1 デバイスリセット

全ての PMP モジュール レジスタは、デバイスリセット時にそれぞれのリセットの状態に戻されます。

13.7.2 パワーオン リセット (POR)

全ての PMP モジュール レジスタは、POR 時にそれぞれのリセットの状態に戻されます。

13.7.3 ウォッチドッグ リセット

全ての PMP モジュール レジスタは、ウォッチドッグ リセット時にそれぞれのリセットの状態に戻されます。

13.8 パラレル マスタポート アプリケーション

以下では、各多重化モードによる PMP モジュールと外部デバイス間の接続について説明します。また、PMP モジュールのアプリケーション例も紹介します。

Note: PMD<15:0> データピンは、ピン数が 100 以上の PIC32 デバイスで利用可能です。それ以外のデバイスでは、PMD<7:0> ピンだけが利用可能です。詳細は PIC32 デバイスのデータシートを参照してください。

13.8.1 非多重化モードによるメモリまたは周辺モジュールとの接続

図 13-37 は、非多重化モードにおける 8 ビットメモリまたはアドレス可能周辺モジュールへの接続を示しています。このモードでは外部ラッチは不要です。

図 13-37: 非多重化アドレッシング、8 ビットデータ (最大 15 ビット アドレス)

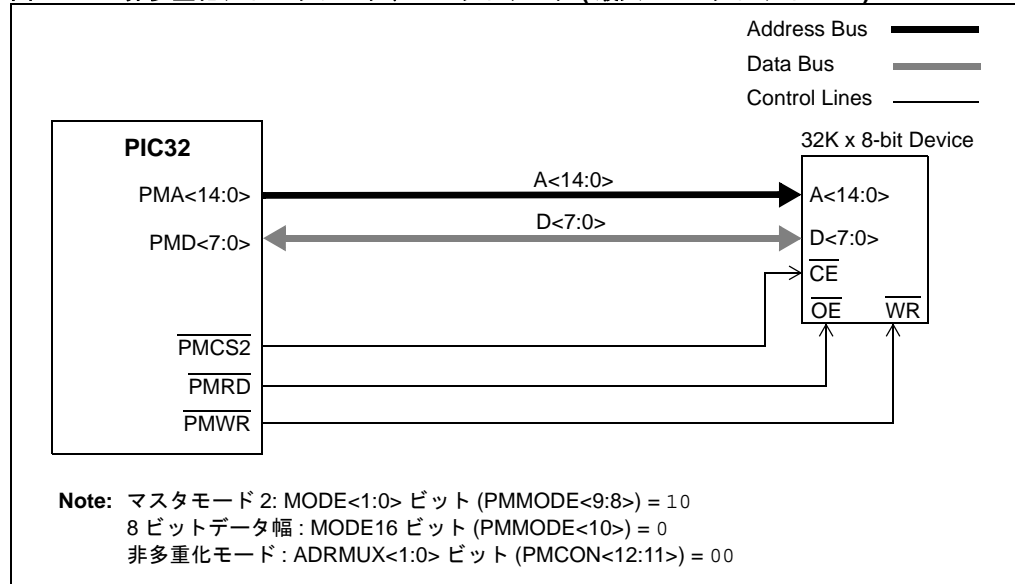
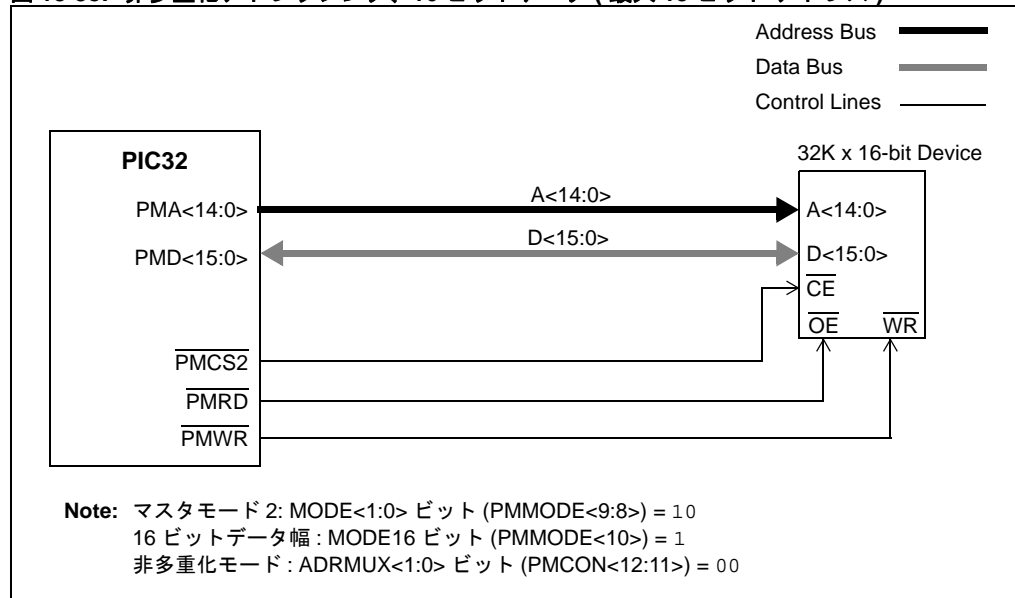


図 13-38 は、非多重化モードにおける 16 ビットメモリまたはアドレス可能周辺モジュールへの接続を示しています。このモードでは外部ラッチは不要です。

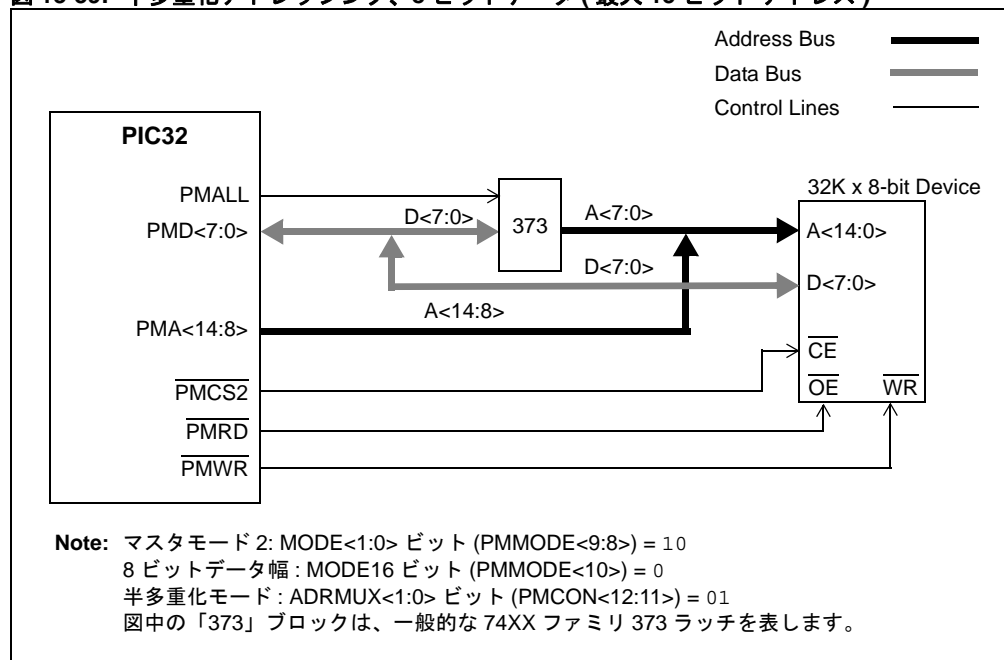
図 13-38: 非多重化アドレッシング、16 ビットデータ (最大 15 ビット アドレス)



13.8.2 半多重化モードによるメモリまたは周辺モジュールとの接続

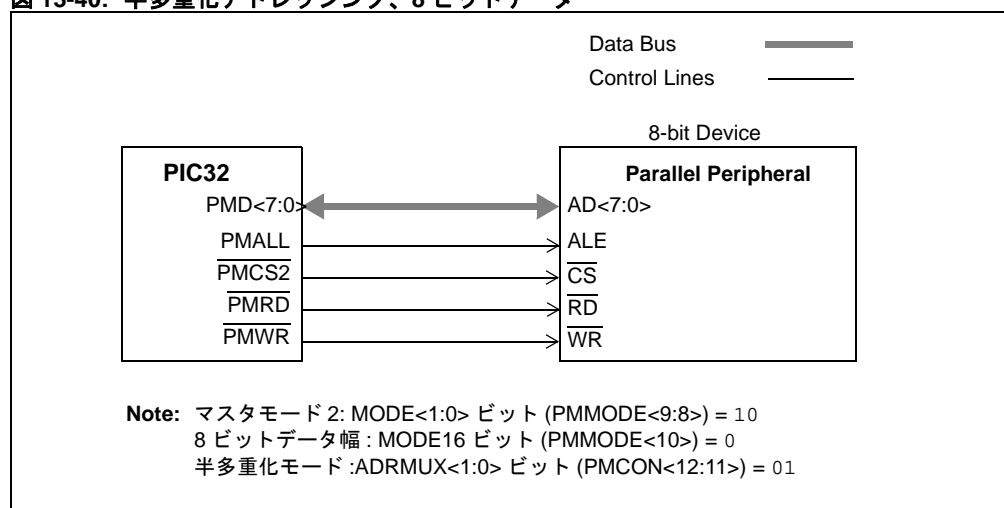
図 13-39 は、半多重化モードにおける 8 ビットメモリまたはアドレス可能周辺モジュールへの接続を示しています。このモードでは外部ラッチが必要です。このモードでは、非多重化モードに比べて性能は低下しますが、マイクロコントローラのピンを節約できます。このモードはアドレスの下位 8 ビットをデータバス PMD<7:0> に多重化します。動作には 1 周辺モジュールバスクロックが追加が必要です。

図 13-39: 半多重化アドレッシング、8 ビットデータ (最大 15 ビット アドレス)



周辺モジュールが内部ラッチを備える場合、その周辺モジュールを接続するための回路以外の追加回路は不要です (図 13-40 参照)。

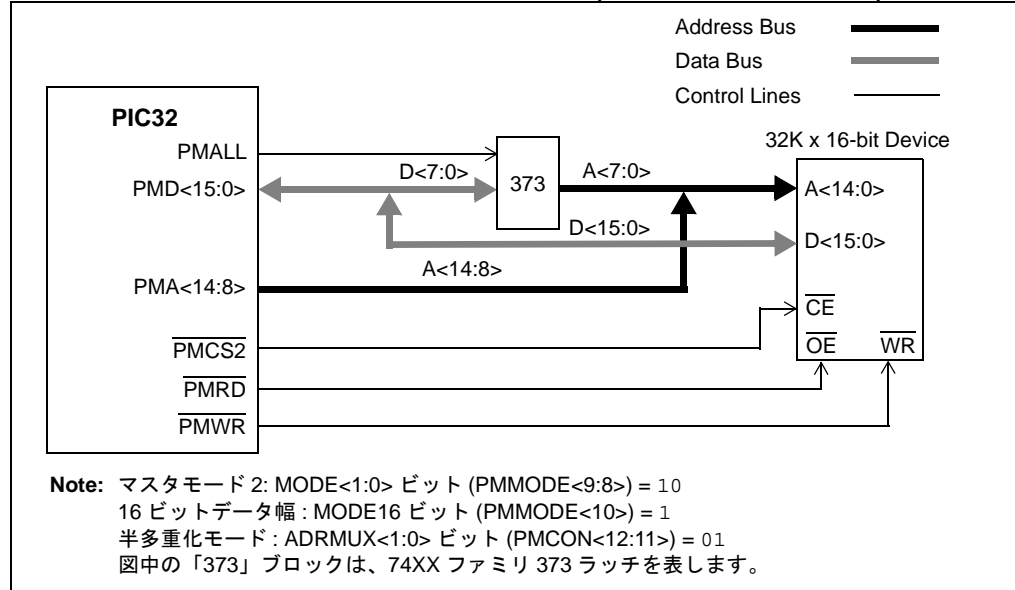
図 13-40: 半多重化アドレッシング、8 ビットデータ



セクション 13. パラレル マスタポート (PMP)

図 13-41 は、半多重化モードにおける 16 ビットメモリまたはアドレス可能周辺モジュールへの接続を示しています。このモードでは外部ラッチが必要です。このモードでは、非多重化モードに比べて性能は低下しますが、マイクロコントローラのピンを節約できます。このモードはアドレスの下位 8 ビットをデータバス PMD<7:0> に多重化します。動作には 1 周辺モジュール バスクロックが追加が必要です。

図 13-41: 半多重化アドレッシング、16 ビットデータ (最大 15 ビット アドレス)



13.8.3 全多重化モードによるメモリまたは周辺モジュールとの接続

図 13-42 は、8 ビット全多重化モード (ADRMUX<1:0> ビット (PMCON<12:11>) = 10) におけるメモリまたは他のアドレス可能周辺モジュールへの接続を示しています。このモードでは、非多重化モードや半多重化モードに比べて性能は低下しますが、マイクロコントローラのピンを最も節約できます。このモードでは、まずアドレスの下位 8 ビットをデータバス PMD<7:0> に多重化し、次にアドレスの上位 6 または 7 ビットを PMD<7:0> に多重化します (CS2 と CS1 のいずれかまたは両方が有効な場合)。このため動作には 2 周辺モジュール バスクロックが追加が必要です。

図 13-42: 全多重化アドレッシング、8 ビットデータ (最大 15 ビット アドレス)

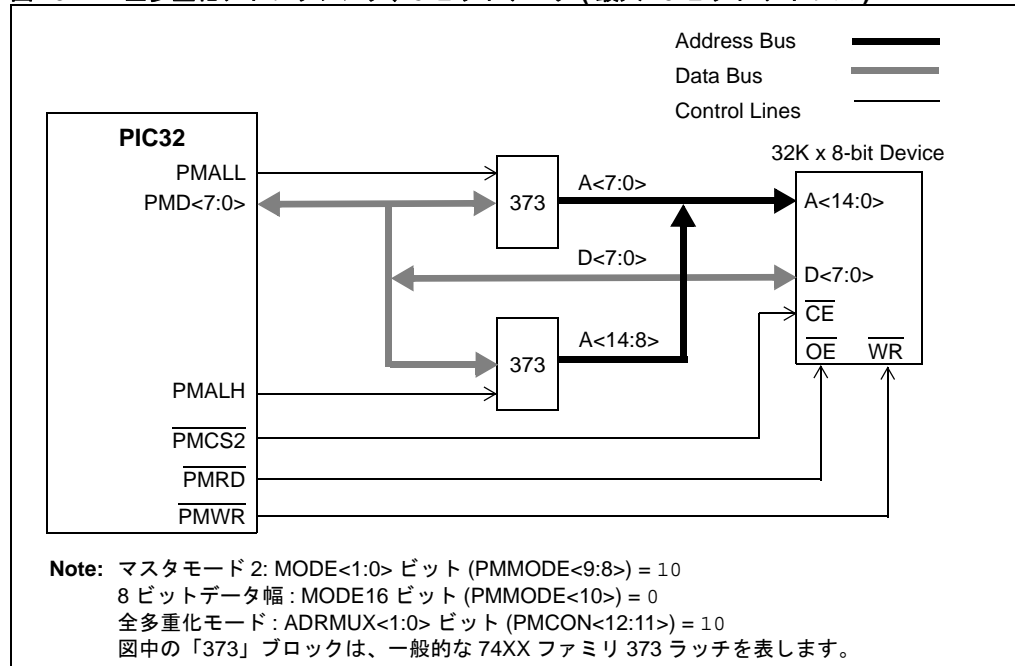


図 13-43 は、16 ビット全多重化モード (ADRMUX<1:0> ビット (PMCON<12:11>) = 10) における 16 ビットメモリまたは他のアドレス可能周辺モジュールへの接続を示しています。このモードでは、非多重化モードや半多重化モードに比べて性能は低下しますが、マイクロコントローラのピンを最も節約できます。このモードでは、まずアドレスの下位 8 ビットをデータバス PMD<7:0> に多重化し、次にアドレスの上位 6 または 7 ビットを PMD<7:0> に多重化します (CS2 と CS1 のいずれかまたは両方が有効な場合)。このため動作には 2 周辺モジュール バス クロックが追加が必要です。

図 13-43: 全多重化アドレッシング、16 ビットデータ (最大 15 ビット アドレス)

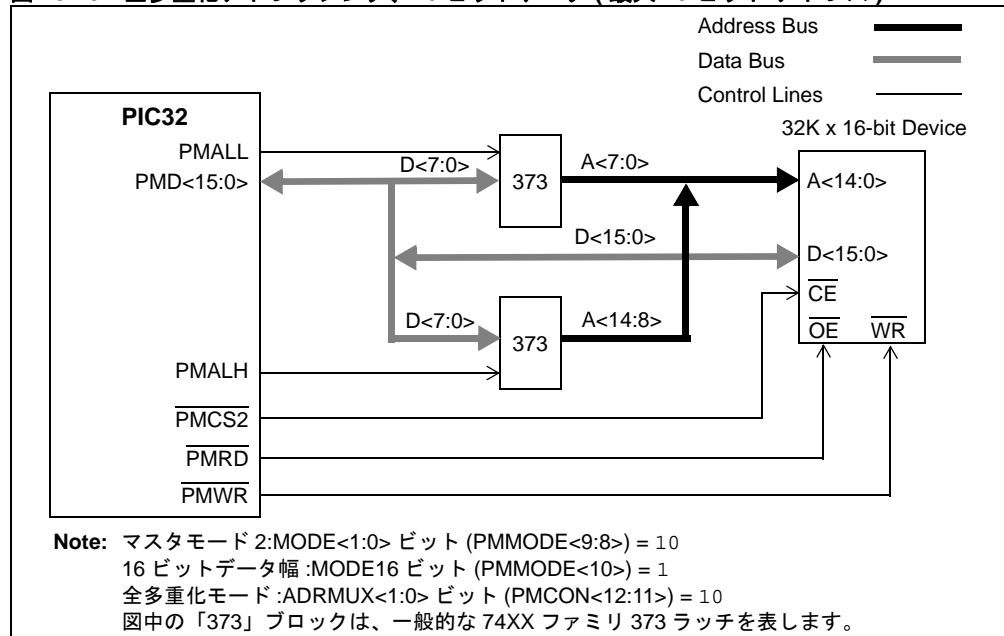
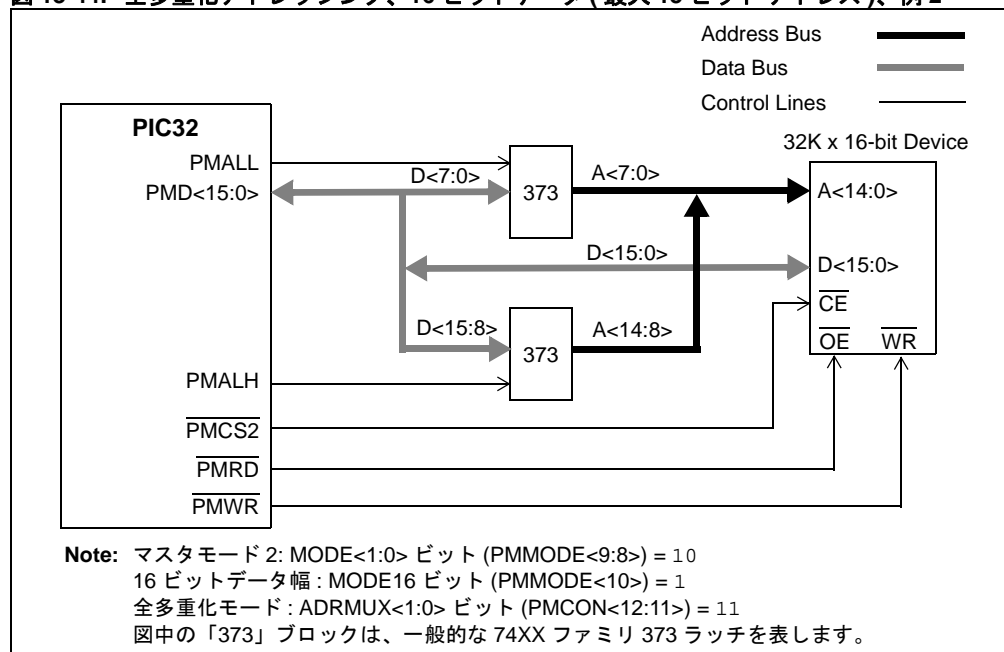


図 13-44 は、16 ビット全多重化モード (ADRMUX<1:0> ビット (PMCON<12:11>) = 11) における 16 ビットメモリまたは他のアドレス可能周辺モジュールへの接続を示しています。このモードでは、非多重化モードや半多重化モードに比べて性能は低下しますが、マイクロコントローラのピンを最も節約できます。前記の全多重化モード (ADRMUX = 10) とは異なり、このモードでは 14 または 15 ビットのアドレスを一度に PMD<15:0> バスに多重化します (CS2 と CS1 のいずれかまたは両方が有効な場合)。このため動作には 1 周辺モジュール バス クロックが追加が必要です。

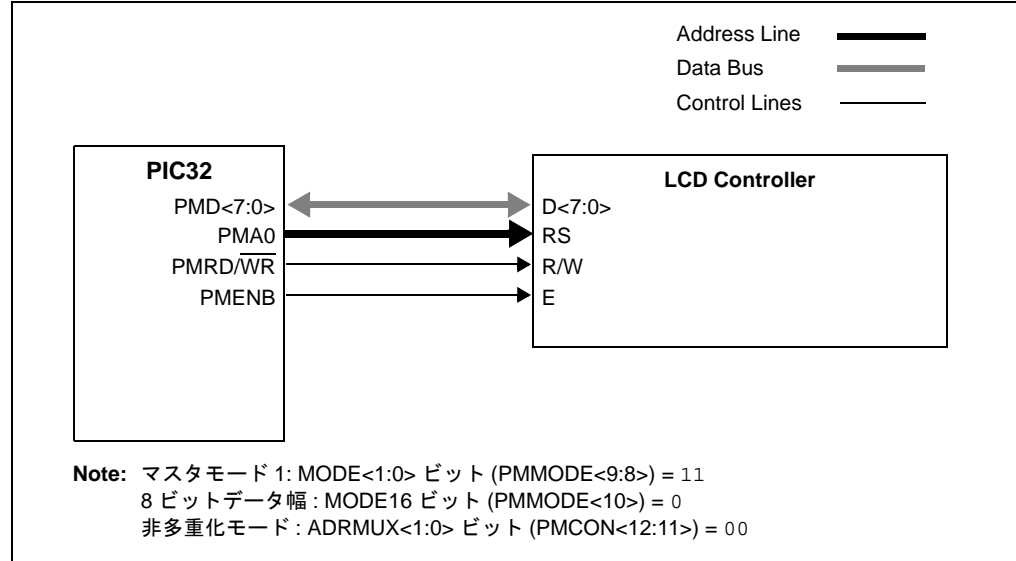
図 13-44: 全多重化アドレッシング、16 ビットデータ (最大 15 ビット アドレス)、例 2



13.8.4 8 ビット LCD コントローラの例

図 13-45 に示すように、PMP モジュールは一般的な LCD コントローラ インターフェイスに接続できます。この場合、PMP モジュールをマスタモード 1 ($\text{MODE}\langle 1:0 \rangle = 11$ ($\text{PMMODE}\langle 9:8 \rangle$)) に設定します。また一般的な LCD はアクティブ HIGH 制御を要求するため、制御信号の極性をアクティブ HIGH に設定します。

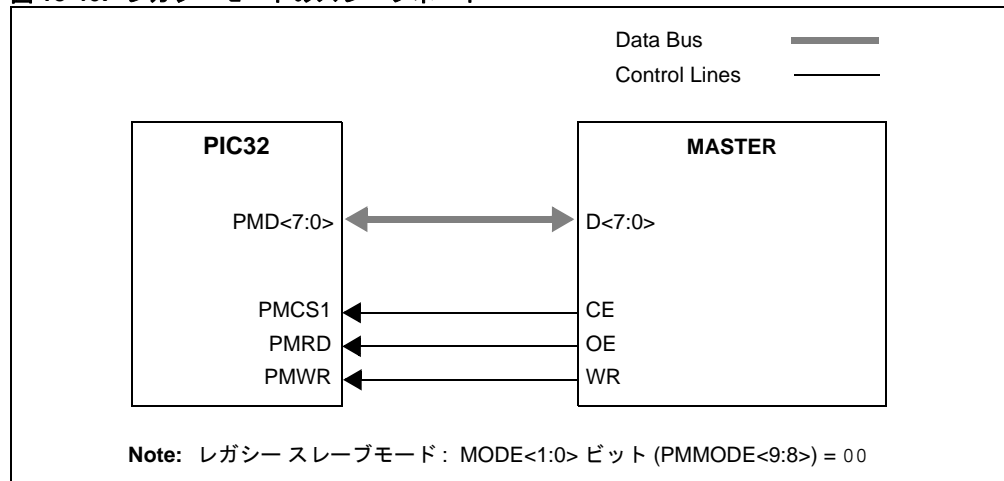
図 13-45: 非多重化アドレッシング、8 ビットデータ、LCD コントローラ



13.9 パラレル スレーブポート アプリケーション

図 13-46 では、8 ビットデータモードでスレーブとしてマスタ周辺モジュールに接続しています (MODE<1:0> ビット (PMMODE<9:8>) = 00)。マイクロコントローラの PMP はチップセレクト (PMCS1) により制御されます。

図 13-46: レガシーモードのスレーブポート



13.10 ダイレクト メモリアクセスのサポート

PMP モジュールをマスタモードに設定している場合、ダイレクト メモリアクセス (DMA) は PMDIN レジスタに対して読み書きします。DMA を使うには下記の手順が必要です。

1. CHSIRQ<7:0> ビット (DCHxECON<15:8>) を PMP IRQ 番号に設定する
2. PMP モジュールを必要なモード (マスタまたはレガシースレーブ) に設定する
3. バイト毎に PMP 割り込みを生成するよう IRQM<1:0> ビット (PMMODE<14:13>) を「01」に設定する

セクション 13. パラレル マスタポート (PMP)

13.11 I/O ピンの制御

13.11.1 I/O ピンのリソース

PMP モジュールをマスタモード動作向けに有効にする場合、PMAEN レジスタで、PMP モジュールが制御する PMA<15:0> I/O ピンに対応するビットを「1」にセットする必要があります。PMP モジュール用に設定しない I/O ピンは汎用 I/O ピンとして使えます。

表 13-10: マスタモードに必要な I/O ピンリソース

| I/O ピン名 | 非多重化 | 半多重化 | 全多重化 | 機能の説明 |
|--------------------------|--------------------|--------------------|--------------------|------------------------------|
| PMPCS2/PMA15 | Yes ⁽²⁾ | Yes ⁽²⁾ | Yes ⁽²⁾ | PMP チップセレクト 2/ アドレス A15 |
| PMPCS1/PMA14 | Yes ⁽²⁾ | Yes ⁽²⁾ | Yes ⁽²⁾ | PMP チップセレクト 1/ アドレス A14 |
| PMA<13:2> | Yes ⁽²⁾ | Yes ⁽³⁾ | No ⁽¹⁾ | PMP アドレス A13 ~ A2 |
| PMA1/PALH | No ⁽¹⁾ | No ⁽¹⁾ | Yes ⁽⁴⁾ | PMP アドレス A1/ アドレスラッチ HIGH |
| PMA0/PALL | No ⁽¹⁾ | Yes ⁽³⁾ | Yes ⁽⁴⁾ | PMP アドレス A0/ アドレスラッチ LOW |
| PMRD/PMWR | Yes | Yes | Yes | PMP 読み / 書き制御 |
| PMWR/PMENB | Yes | Yes | Yes | PMP 書き込み / イネーブル制御 |
| PMD<15:0> ⁽⁶⁾ | Yes ⁽⁵⁾ | Yes ⁽⁵⁾ | Yes ⁽⁵⁾ | PMP 双方向データバス D15 ~ D0 |

Note 1: 「No」は、そのピンが不要である事を意味します。対応する PMAEN ビットを「0」にクリアすれば汎用 I/O ピンとして使えます。

2: アプリケーションによっては PMA<15:0>、CS2、CS1 の一部だけを必要とします。

3: 半多重化モード (ADRMUX<1:0> = 01) を選択した場合、下位 8 ビットのアドレスラインは PMD<7:0> に多重化されます。PMA<0> は (ALL) として使われますが、PMA<7:1> は汎用 I/O ピンとして使えます。

4: 全多重化モード (ADRMUX<1:0> = 10 または 11) を選択した場合、16 ビット全てのアドレスラインは PMD<7:0> または PMD<15:0> に多重化されます。PMA<0> と PMA<1> はそれぞれ (ALL) と (ALH) として使われますが、PMA<13:2> は汎用 I/O ピンとして使えます。

5: MODE16 = 0 の場合、PMD<7:0> だけが必要です。PMD<15:8> は汎用 I/O ピンとして使えます。

6: データピン PMD<15:0> は、ピン数が 100 以上の PIC32 デバイスで利用可能です。それ以外のデバイスでは、PMD<7:0> ピンしか利用できません。詳細は PIC32 デバイスのデータシートを参照してください。

PMP モジュールをスレーブモード動作向けに設定すると、PMPCS1、PMRD、PMWR 制御ピンと PMD<7:0> データピンは自動的に有効になり適切に設定されます。ただし、これらの制御ラインの極性は、ユーザが適切に設定する必要があります。

表 13-11: スレーブモードに必要な I/O ピンリソース

| I/O ピン名 | レガシー | バッファ付き | 拡張 | 機能の説明 |
|--------------|--------------------|--------------------|--------------------|------------------|
| PMPCS1/PMA14 | Yes | Yes | Yes | チップセレクト |
| PMA1/PALH | No ⁽¹⁾ | No ⁽¹⁾ | Yes | アドレス A1 |
| PMA0/PALL | No ⁽¹⁾ | No ⁽¹⁾ | Yes | アドレス A0 |
| PMRD/PMWR | Yes | Yes | Yes | 読み出し制御 |
| PMWR/PMENB | Yes | Yes | Yes | 書き込み制御 |
| PMD<15:0> | Yes ⁽²⁾ | Yes ⁽²⁾ | Yes ⁽²⁾ | 双方向データバス D7 ~ D0 |

Note 1: 「NO」は、そのピンが不要である事を意味します。対応する PMAEN ビットを「0」にクリアすれば汎用 I/O ピンとして使えます。

2: スレーブモードは PMD<7:0> ピンだけを使います。PMD<15:8> は汎用 I/O ピンとして使えます。制御ビット MODE16 (PMMODE<10>) は無視されます。

13.11.2 I/O ピンの設定

表 13-12 に、PMP モジュール向けに I/O ピンのリソースを有効にするための設定を要約して示します。PMAEN レジスタは PMA<15:0> ピンの機能を制御します。PMAEN 内のいずれかのビットを「1」にセットすると、対応する PMA ピンはアドレスラインとして設定されます。「0」に設定したビットに対応するピンは汎用 I/O ピンとして機能します。

表 13-12: I/O ピンの設定

| I/O ピン名 | 必要性 (1) | ビット フィールド | TRIS | ピン タイプ | バッファ タイプ | 内容 |
|--------------|------------|-----------------------------|------|----------------------|-------------|------------------------------|
| PMPCS2/PMA15 | Yes | CSF<1:0>, CS2, PTEN15 | — | O | CMOS | PMP チップセレクト 2/ アドレス A15 |
| PMPCS1/PMA14 | Yes | CSF<1:0>, CS1 PTEN14 | — | O | CMOS | PMP チップセレクト 1/ アドレス A14 |
| PMA<13:2> | Yes | PTEN<13:2> | — | O | CMOS | PMP アドレス A13 ~ A2 |
| PMA1/PALH | Yes | PTEN<1> | — | I ⁽²⁾ , O | CMOS | PMP アドレス A1/ アドレスラッチ HIGH |
| PMA0/PALL | Yes | PTEN<0> | — | I ⁽²⁾ , O | CMOS | PMP アドレス A0/ アドレスラッチ LOW |
| PMRD/PMWR | Yes | PTRDEN | — | O | CMOS | PMP 読み/書き制御 |
| PMWR/PMENB | Yes | PTWREN | — | O | CMOS | PMP 書き込み/ イネーブル制御 |
| PMD<15:0> | Yes | MODE16, ADRMUX<1:0> | — | I ⁽²⁾ , O | CMOS | PMP 双方向データバス D15 ~ D0 |

凡例: CMOS = CMOS 互換入力または出力 ST = CMOS レベルのシュミットトリガ入力
I = 入力 O = 出力

Note 1: PMP モードとユーザ アプリケーションによっては、これらのピンを必要としない場合があります。それらのピンは、PMP 用に有効にしなければ汎用 I/O ピンとして使えます。

2: 入力バッファはシュミットトリガまたは TTL にできます。

13.12 関連アプリケーション ノート

本セクションに関連するアプリケーション ノートの一覧を以下に記載します。一部のアプリケーション ノートは PIC32 デバイスファミリ向けではありません。ただし、概念は共通しており、変更が必要であったり制限事項が存在するものの利用が可能です。パラレル マスタポート (PMP) モジュールに関連する最新のアプリケーション ノートは下記の通りです。

| タイトル | アプリケーション ノート番号 |
|----------------------------|----------------|
| 現在、関連するアプリケーション ノートはありません。 | N/A |

Note: PIC32 ファミリデバイス関連のアプリケーション ノートとサンプルコードはマイクロチップ社のウェブサイト (www.microchip.com) でご覧になれます。

13.13 改訂履歴

リビジョン A (2007 年 8 月)

本書の初版

リビジョン B (2007 年 10 月)

機密扱いのステータスを解除して内容を更新

リビジョン C (2008 年 4 月)

本書のステータスを「Preliminary」に改訂、U-0 を r-x に変更、表 13-10 を改訂、13.3.1.6 と 13.3.8 を改訂、レジスタ 13-5 を改訂、図 13-11/13-37/13-40/13-41/13-42/13-43/13-46 を改訂、図 13-16/13-18/13-19 のタイミング図のテキストを改訂

リビジョン D (2008 年 6 月)

レジスタ 13-1 を改訂、FRZ に Note を追加、図 13-4/13-6/13-8/13-10/13-36/13-37/13-38/13-45 を改訂、表 13-6 を改訂、例 13-6/13-7 を改訂、予約済みビットを「Maintain as」から「Write」に変更、ON ビット (PMCON レジスタ) に Note を追加

リビジョン E (2009 年 10 月)

このリビジョンでの変更内容は以下の通りです。

- 文章および体裁の変更等、本書全体の細部を修正
- 下記の項目を特長の一覧に追加シュミットリガまたは TTL 入力バッファ ([13.1 「はじめに」](#) 参照)
- 割り込みレジスタの要約 ([表 13-1](#))
 - クリア、セット、反転レジスタに関する全ての記述を削除
 - 「アドレス オフセット」列を追加
 - クリア、セット、反転レジスタに関する Note 1、2、3 を追加
- 下記のレジスタにクリア、セット、反転レジスタに関する Note 1、2、3 を追加
 - PMCON: パラレルポート制御レジスタ ([レジスタ 13-1](#) 参照)
 - PMMODE: パラレルポート モード レジスタ ([レジスタ 13-2](#) 参照)
 - PMADDR: パラレルポート アドレス レジスタ ([レジスタ 13-3](#) 参照)
 - PMDOUT: パラレルポート データ出力レジスタ ([レジスタ 13-4](#) 参照)
 - PMDIN: パラレルポート データ入力レジスタ ([レジスタ 13-5](#) 参照)
 - PMAEN: パラレルポート ピンイネーブル レジスタ ([レジスタ 13-6](#) 参照)
 - PMSTAT: パラレルポート ステータス レジスタ (スレーブモード専用) ([レジスタ 13-7](#) 参照)
- 割り込みレジスタ (IEC1、IFS1、IPC7) に関する記述を全て削除
- [13.4.1.4 「レガシーモードの割り込み動作」](#) に網掛け注釈ボックスを追加
- [図 13-33](#)、[図 13-34](#)、[図 13-35](#)、[図 13-36](#) 内の「2-3 TPBCLK cycles」の期間を更新
- I/O ピンの設定 ([表 13-12](#)) に Note 2 を追加

リビジョン F (2011 年 5 月)

このリビジョンでの変更内容は以下の通りです。

- 「PIC32MX」を全て「PIC32」に変更
- [13.4.1.4 「レガシーモードの割り込み動作」](#) の Note を更新
- [13.10 「ダイレクト メモリアクセスのサポート」](#) を追加
- 全てのレジスタテーブルから CLR、SET、INV レジスタに関する Note を削除
- 全てのレジスタテーブル内の「r-x」を「U-0」に変更
- [図 13-33](#) と [図 13-34](#) を更新
- [表 13-12](#) から「モジュール制御」列を削除

リビジョン F (2011 年 5 月) (続き)

- 13.6.2 「アイドルモード時の PMP 動作」 から Note を削除
- 表 13-10/13-11 を削除
- 文章および体裁の変更等、本書全体の細部を修正

リビジョン G (2012 年 4 月)

このリビジョンでの変更内容は以下の通りです。

- 例 13-3 を更新
- 13.3.7.1 「64K を超えるメモリデバイスのアドレッシング」 を追加
- 13.4.1.2 「スレーブポートへの書き込み」 の第 2 文を更新 (入力バッファ フルフラグに関する記述を削除)
- 13.4.2.2 「スレーブポートからの読み出し」 の第 2 文を更新 (出力バッファ エンプティフラグに関する記述を削除)
- 13.10 「ダイレクト メモリアクセスのサポート」 内の注釈ボックスを削除し、手順 2 を更新
- 16 ビット書き込み動作向けの PMRD/PMWR 信号を更新 (ADRMUX = 11、ウェイトステートなし / ウェイトステート有効) (図 13-28、図 13-29 参照)
- 13.12 「設計のヒント」 を削除
- 文章および体裁の変更等、本書全体の細部を修正

NOTE:

マイクロチップ社製デバイスのコード保護機能に関して次の点にご注意ください。

- マイクロチップ社製品は、該当するマイクロチップ社データシートに記載の仕様を満たしています。
- マイクロチップ社では、通常の条件ならびに仕様に従って使用した場合、マイクロチップ社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解ではこうした手法は、マイクロチップ社データシートにある動作仕様書以外の方法でマイクロチップ社製品を使用する事になります。このような行為は知的所有権の侵害に該当する可能性が非常に高いと言えます。
- マイクロチップ社は、コードの保全性に懸念を抱くお客様と連携し、対応策に取り組んでいきます。
- マイクロチップ社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、マイクロチップ社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。マイクロチップ社では、常に製品のコード保護機能の改善に取り組んでいます。マイクロチップ社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合は、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利が

本書に記載されているデバイス アプリケーション等に関する情報は、ユーザの便宜のためにのみ提供されているものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。マイクロチップ社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。マイクロチップ社は、本書の情報およびその使用に起因する一切の責任を否認します。マイクロチップ社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途にマイクロチップ社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、マイクロチップ社は擁護され、免責され、損害をうけない事に同意するものとします。暗黙的あるいは明示的を問わず、マイクロチップ社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

マイクロチップ社の名称と Microchip ロゴ、dsPIC、FlashFlex、KEELOQ、KEELOQ ロゴ、MPLAB、PIC、PICmicro、PICSTART、PIC³² ロゴ、rfPIC、SST、SST ロゴ、SuperFlash、UNI/O は、米国およびその他の国におけるマイクロチップ・テクノロジー社の登録商標です。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MTP、SEEVAL、Embedded Control Solutions Company は、米国におけるマイクロチップ・テクノロジー社の登録商標です。

Silicon Storage Technology は、その他の国におけるマイクロチップ・テクノロジー社の登録商標です。

Analog-for-the-Digital Age、Application Maestro、BodyCom、chipKIT、chipKIT ロゴ、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPF、MPLAB 認証ロゴ、MPLIB、MPLINK、mTouch、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICKit、PICKtail、REAL ICE、rfLAB、Select Mode、SQL、Serial Quad I/O、Total Endurance、TSHARC、UniWinDriver、WiperLock、ZENA、Z-Scale は、米国およびその他の国におけるマイクロチップ・テクノロジー社の登録商標です。

SQTP は、米国におけるマイクロチップ・テクノロジー社のサービスマークです。

GestIC と ULPP は、その他の国における Microchip Technology Germany II GmbH & Co. & KG (マイクロチップ・テクノロジー社の子会社) の登録商標です。

その他、本書に記載されている商標は各社に帰属します。

©2012, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

ISBN: 978-1-62076-561-6

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
＝ ISO/TS 16949 ＝

マイクロチップ社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州) の本部、設計部およびウェハー製造工場そしてカリフォルニア州とインドのデザインセンターが ISO/TS-16949:2009 認証を取得しています。マイクロチップ社の品質システム プロセスおよび手順は、PIC[®] MCU および dsPIC[®] DSC、KEELOQ[®] コード ホッピング デバイス、シリアル EEPROM、マイクロベリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関するマイクロチップ社の品質システムは ISO 9001:2000 認証を取得しています。

各国の営業所とサービス

北米

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel:480-792-7200
Fax:480-792-7277
技術サポート :
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel:678-957-9614
Fax:678-957-1455

ボストン
Westborough, MA
Tel:774-760-0087
Fax:774-760-0088

シカゴ
Itasca, IL
Tel:630-285-0071
Fax:630-285-0075

クリーブランド
Independence, OH
Tel:216-447-0464
Fax:216-447-0643

ダラス
Addison, TX
Tel:972-818-7423
Fax:972-818-2924

デトロイト
Farmington Hills, MI
Tel:248-538-2250
Fax:248-538-2260

インディアナポリス
Noblesville, IN
Tel:317-773-8323
Fax:317-773-5453

ロサンゼルス
Mission Viejo, CA
Tel:949-462-9523
Fax:949-462-9608

サンタクララ
Santa Clara, CA
Tel:408-961-6444
Fax:408-961-6445

トロント
Mississauga, Ontario,
Canada
Tel:905-673-0699
Fax:905-673-6509

アジア / 太平洋

アジア太平洋支社
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel:852-2401-1200
Fax:852-2401-3431

オーストラリア - シドニー
Tel:61-2-9868-6733
Fax:61-2-9868-6755

中国 - 北京
Tel:86-10-8569-7000
Fax:86-10-8528-2104

中国 - 成都
Tel:86-28-8665-5511
Fax:86-28-8665-7889

中国 - 重慶
Tel:86-23-8980-9588
Fax:86-23-8980-9500

中国 - 杭州
Tel:86-571-2819-3187
Fax:86-571-2819-3189

中国 - 香港 SAR
Tel:852-2943-5100
Fax:852-2401-3431

中国 - 南京
Tel:86-25-8473-2460
Fax:86-25-8473-2470

中国 - 青島
Tel:86-532-8502-7355
Fax:86-532-8502-7205

中国 - 上海
Tel:86-21-5407-5533
Fax:86-21-5407-5066

中国 - 瀋陽
Tel:86-24-2334-2829
Fax:86-24-2334-2393

中国 - 深圳
Tel:86-755-8864-2200
Fax:86-755-8203-1760

中国 - 武漢
Tel:86-27-5980-5300
Fax:86-27-5980-5118

中国 - 西安
Tel:86-29-8833-7252
Fax:86-29-8833-7256

中国 - 厦門
Tel:86-592-2388138
Fax:86-592-2388130

中国 - 珠海
Tel:86-756-3210040
Fax:86-756-3210049

アジア / 太平洋

インド - バンガロール
Tel:91-80-3090-4444
Fax:91-80-3090-4123

インド - ニューデリー
Tel:91-11-4160-8631
Fax:91-11-4160-8632

インド - プネ
Tel:91-20-2566-1512
Fax:91-20-2566-1513

日本 - 大阪
Tel:81-6-6152-7160
Fax:81-6-6152-9310

日本 - 東京
Tel:81-3-6880-3770
Fax:81-3-6880-3771

韓国 - 大邱
Tel:82-53-744-4301
Fax:82-53-744-4302

韓国 - ソウル
Tel:82-2-554-7200
Fax:82-2-558-5932 または
82-2-558-5934

マレーシア - クアラルンプール
Tel:60-3-6201-9857
Fax:60-3-6201-9859

マレーシア - ペナン
Tel:60-4-227-8870
Fax:60-4-227-4068

フィリピン - マニラ
Tel:63-2-634-9065
Fax:63-2-634-9069

シンガポール
Tel:65-6334-8870
Fax:65-6334-8850

台湾 - 新竹
Tel:886-3-5778-366
Fax:886-3-5770-955

台湾 - 高雄
Tel:886-7-213-7828
Fax:886-7-330-9305

台湾 - 台北
Tel:886-2-2508-8600
Fax:886-2-2508-0102

タイ - バンコク
Tel:66-2-694-1351
Fax:66-2-694-1350

ヨーロッパ

オーストリア - ヴェルス
Tel:43-7242-2244-39
Fax:43-7242-2244-393

デンマーク - コペンハーゲン
Tel:45-4450-2828
Fax:45-4485-2829

フランス - パリ
Tel:33-1-69-53-63-20
Fax:33-1-69-30-90-79

ドイツ - ミュンヘン
Tel:49-89-627-144-0
Fax:49-89-627-144-44

イタリア - ミラノ
Tel:39-0331-742611
Fax:39-0331-466781

オランダ - ドリューネン
Tel:31-416-690399
Fax:31-416-690340

スペイン - マドリッド
Tel:34-91-708-08-90
Fax:34-91-708-08-91

イギリス - ウォーキンガム
Tel:44-118-921-5869
Fax:44-118-921-5820